

高周波配電に適用する電力変換装置を小型化する
マルチレベル回路に関する研究

野下 裕市

2014 年 2 月

目次

目次.....	i
図目次.....	v
表目次.....	ix
第1章 序論.....	1
1.1 研究背景.....	1
1.2 研究目的.....	4
1.3 論文概要.....	5
参考文献.....	8
第2章 電源高調波を低減する マルチレベル回路と 高周波電源への適用.....	9
2.1 緒論.....	9
2.2 高周波電源に適した電力変換器.....	10
2.3 電圧形マルチレベル回路.....	12
2.4 電流形マルチレベル回路.....	18
2.5 高周波電源適用時の課題.....	26
2.5.1 発電機連系用 PWM 整流器.....	26
2.5.2 LED 照明用電源.....	26
2.6 本研究の位置づけ.....	27
2.7 結言.....	29
参考文献.....	30
第3章 スイッチ数を低減した 5 レベル PWM 整流器.....	33

目次

3.1 緒論	33
3.2 提案回路	34
3.3 制御方式	37
3.4 パラメータ設計	38
3.4.1 連系リアクトル	38
3.4.2 フライイングキャパシタ	40
3.4.3 直流平滑キャパシタ	42
3.4.4 クランプキャパシタ	43
3.5 実験結果	44
3.6 受動部品の体積検討	50
3.6.1 目的	50
3.6.2 比較条件	52
3.6.3 比較結果	55
3.7 EMC フィルタの体積検討	59
3.7.1 目的	59
3.7.2 設計手法	60
3.7.3 シミュレーション結果	62
3.8 結言	64
参考文献	65
第4章 スイッチ数を低減した PWM 整流器の 高周波電源への適用	67
4.1 緒論	67
4.2 高周波電源適用時の課題と対策	67
4.2.1 リアクトル電圧の位相補償	68
4.2.2 極性切り替え遅れの低減	70
4.2.3 同期 PWM 制御	72
4.3 実験結果	74
4.3.1 高周波電源対応	74
4.3.2 過渡応答特性	84

4.3.3 電力変換効率.....	87
4.4 結言	90
第5章 電流バイパス回路を多段直列接続した 高力率 LED 駆動回路.....	91
5.1 緒論	91
5.2 提案回路.....	92
5.2.1 回路構成の概要.....	92
5.2.2 入力電流の正弦波化.....	95
5.2.3 定電流回路の損失低減	95
5.2.4 電流バイパス回路の設計手法.....	97
5.2.5 5 列 4 段および 10 列 9 段の設計例.....	98
5.3 回路損失の定式化.....	102
5.3.1 シミュレーションによる損失解析.....	102
5.3.2 計算による損失解析.....	104
5.3.3 バイパス段数増加による損失低減.....	107
5.4 実験結果.....	109
5.4.1 5 列構成の動作検証と従来回路との比較.....	109
5.4.2 10 列構成の動作検証.....	119
5.5 結言	124
参考文献.....	125
第6章 結論.....	127
6.1 本研究の成果.....	127
6.2 今後の課題.....	129
謝辞.....	131
論文目録	133
学術論文.....	133
国際会議口頭発表論文.....	133
国内学会口頭発表論文.....	134
参考論文.....	134

図目次

図 1.1	日本国内の 1 次エネルギー利用状況.....	2
図 1.2	想定する航空機電源システム.....	3
図 1.3	航空機電源に接続される機器の例.....	3
図 1.4	論文構成.....	7
図 2.1	フルブリッジインバータの PWM 出力電圧と高調波解析例.....	11
図 2.2	ダイオードクランプ方式.....	13
図 2.3	フライングキャパシタ方式.....	13
図 2.4	カスケード接続方式.....	14
図 2.5	アクティブ中性点クランプ方式.....	15
図 2.6	Vienna 整流器.....	16
図 2.7	ダイオードクランプ線形増幅回路.....	17
図 2.8	2 レベル電流形インバータ.....	19
図 2.9	3 レベル多重電流形インバータ.....	19
図 2.10	エミッタ共通型 3 レベル多重電流形インバータ.....	20
図 2.11	降圧チョッパ方式交流 LED 駆動回路.....	21
図 2.12	可変電流源による交流 LED 駆動回路.....	23
図 2.13	デジタル制御方式交流 LED 駆動回路.....	23
図 2.14	Sequential Linear 方式交流 LED 駆動回路.....	24
図 2.15	LED 列を並列接続した駆動回路.....	25
図 2.16	本研究の位置づけ.....	28

図 3.1	提案回路の構成.....	35
図 3.2	制御器の構成.....	37
図 3.3	電源電圧位相とリアクトル電圧時間積の関係.....	39
図 3.4	電源位相に対する FC 充放電電荷の係数.....	41
図 3.5	入力電流と直流部電圧.....	46
図 3.6	変換器入力電圧.....	46
図 3.7	入力電流高調波スペクトラム.....	47
図 3.8	力率と変換効率の負荷特性.....	47
図 3.9	入力電流ひずみ率の負荷特性.....	48
図 3.10	フライングキャパシタ電圧リプル.....	48
図 3.11	直流電圧リプルと直流中点電圧リプル.....	49
図 3.12	比較に用いる変換器.....	51
図 3.13	電解コンデンサの体積とリプル電流許容値.....	54
図 3.14	電解コンデンサの体積と静電容量.....	54
図 3.15	定格容量に対する受動部品質量.....	56
図 3.16	定格容量に対するパワー対質量比.....	56
図 3.17	質量の内訳.....	58
図 3.18	LISN と EMC フィルタの等価回路図.....	60
図 3.19	ノイズ測定系全体.....	60
図 3.20	雑音端子電圧のシミュレーション結果.....	63
図 3.21	L_{DM} を 2 倍した場合のシミュレーション結果.....	64
図 4.1	連系リアクトルの電圧ベクトル.....	69
図 4.2	入力電圧と変換器出力電圧の範囲.....	69
図 4.3	リアクトル電圧補償器.....	69
図 4.4	スイッチングパターンの誤り例.....	71
図 4.5	同期 PWM 制御器.....	73
図 4.6	パルス数参照テーブル.....	73
図 4.7	400 Hz 補償なし (条件 1) THD: 6.5%.....	75

図 4.8	400 Hz リアクトル電圧補償のみ（条件 2） THD: 3.6%	76
図 4.9	400 Hz 非同期極性切り替え（条件 3） THD: 3.3%.....	76
図 4.10	800 Hz リアクトル電圧補償（条件 2） THD: 3.1%	77
図 4.11	800 Hz 非同期極性切り替え（条件 3） THD: 2.9%,	78
図 4.12	図 4.11 拡大波形.....	78
図 4.13	入力電流高調波ひずみ率の周波数特性（論理高調波のみ）	79
図 4.14	入力力率の周波数特性.....	80
図 4.15	ビート電流成分の低減効果.....	80
図 4.16	800 Hz 同期 PWM 制御（条件 4） 非論理成分を含めた THD: 3.1%.....	81
図 4.17	非同期・同期 PWM 制御による入力電流高調波	82
図 4.18	非同期・同期 PWM 制御による入力電流 THD.....	83
図 4.19	直流負荷ステップ応答	85
図 4.20	電源周波数・電圧スweep.....	86
図 4.21	電力変換効率の周波数特性.....	88
図 4.22	電力変換効率の周波数特性（損失分離）	88
図 4.23	電力変換効率の負荷特性.....	89
図 4.24	電力変換効率の負荷特性（損失分離）	89
図 5.1	5 列 4 段構成の提案回路原理図.....	93
図 5.2	入力電流を正弦波化する原理図.....	96
図 5.3	入力電流を正弦波化する原理図.....	96
図 5.4	電流バイパス回路の構成（NMOS 型 1 段の場合）	99
図 5.5	ゲート駆動回路の等価回路.....	99
図 5.6	4 段と 9 段の 1 列目回路構成.....	100
図 5.7	シミュレーションによる各段の損失分離	103
図 5.8	線形動作に伴う MOSFET と定電流素子の損失発生箇所.....	105
図 5.9	シミュレーション動作波形.....	106
図 5.10	シミュレーションと近似計算による 1 列目損失の比較.....	108
図 5.11	近似計算による 5 列 4 段と 10 列 9 段構成のバイパス回路損失比較	108

図 5.12	5 列実機の外観.....	110
図 5.13	提案回路 5 列構成の入力電流波形.....	112
図 5.14	降圧チョッパ方式の入力電流波形.....	112
図 5.15	提案回路の各列電流波形.....	113
図 5.16	雑音端子電圧測定結果.....	114
図 5.17	部品体積比較用の降圧チョッパ回路.....	116
図 5.18	部品体積比較結果.....	116
図 5.19	高周波電源適用時の入力電流ひずみ率と力率.....	118
図 5.20	10 列構成の実機写真.....	120
図 5.21	入力電流波形(10 列構成).....	120
図 5.22	各列の電流波形(10 列構成).....	121
図 5.23	1 列目の各段印加電圧(10 列構成).....	122
図 5.24	入力電流高調波スペクトラム.....	123

表目次

表 3.1	提案回路のスウィッチングパターン.....	36
表 3.2	他の回路方式との比較.....	36
表 3.3	実験パラメータ.....	45
表 3.4	リップル計算値と実測値の比較.....	49
表 3.5	設計パラメータ.....	61
表 4.1	実験パラメータ.....	74
表 5.1	LED 駆動回路の比較.....	94
表 5.2	5 列 4 段構成のパラメータ.....	101
表 5.3	10 列 9 段構成のパラメータ.....	101
表 5.4	5 列実機と市販品の仕様.....	110
表 5.5	部品体積比較用降圧チョッパ回路のパラメータ.....	117

第1章

序論

1.1 研究背景

半導体電力変換技術は，サイリスタやバイポーラトランジスタ，MOSFET，IGBT などの半導体デバイスを用いて，電源から供給される電圧・電流の形態を，負荷に応じてさまざまに制御する技術である⁽¹⁾。古くはダイオードを用いた AC-DC 変換に始まり，サイリスタの開発によって，電動機の可変速駆動が実現された。さらに半導体デバイスの高耐圧・大容量化により，電力系統の無効電力補償や電力潮流制御，周波数変換などを行う電力変換器が開発され，現在の電力系統には多くの半導体電力変換器が使用されている。

図 1.1 に，2013 年の国内における 1 次エネルギー供給と消費を示す⁽²⁾。輸入された 1 次エネルギー資源のうち，約 4 割が発電所に供給され，電力に変換される。また，最終エネルギー消費量では，運輸部門の旅客と貨物が合わせて約 23%を占めており，これらは石油精製によって得られた燃料が大半を占める。輸送用燃料の大部分を消費しているのが，自動車や航空機などの運輸機械であり，文献(2)によれば，1973 年から 2011 年までの間に，運輸部門では 1.9 倍，旅客部門では 2.3 倍に増加している。これらの機械は近年の省エネルギー化の潮流により，電動化が急速に進行している。自動車の分野では電気自動車を筆頭に，ハイブリッド自動車，燃料電池自動車など，次世代技術と目されるほぼすべての技術に共通する点が電動化である。また，航空機の分野では，燃費向上のために機体の軽量化が最優先課題となる。航空機では，飛行制御システムのアクチュエータとして，長年にわたり油圧システムが使用されてきた。しかし，油圧システムはオイルポンプ・配管・バル

ブ・アクチュエータと多数の機械部品が必要であり、また信頼性確保のために二重化されることから体積と質量が大きい。そこで機内の電源系統から供給される電力でアクチュエータを駆動することで、従来と同等の冗長性を維持しながら、飛行制御システムを小型軽量化する技術が進展しており、More Electric Aircraft (MEA)の通称で様々なシステム構成が検討されている⁽³⁾⁻⁽⁸⁾。

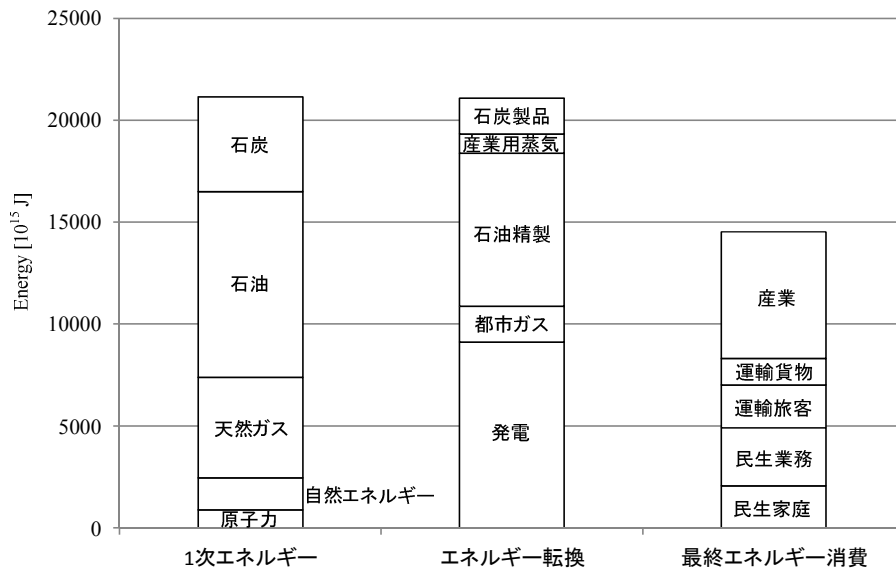


図 1.1 日本国内の1次エネルギー利用状況

図 1.2 に、本研究で想定している高周波配電システムの構成例を示す。航空機の電源系統を想定しており、発電機や変圧器の小型化を目的として 400 Hz の高周波電源を使用する。同期発電機の出力周波数は、エンジン回転数に合わせて変動するため、発電機の回転数を無段変速機により一定に維持して系統周波数を 400 Hz 一定とする方式⁽³⁾と、系統周波数の変動を許容する方式の2種類が存在する。系統周波数の変動を許容する方式では、変速機などの大型の機械部品が不要であり、小型軽量化の点から採用されている。

図 1.3 に高周波配電系統に接続される負荷の例として、エアバス社の大型旅客機 A380 に搭載されている、エレベータ駆動システムを示す⁽⁸⁾。航空機電源の負荷は、機体制御システムや客室の照明・空調などに限られており、商用系統と比較して電力容量が小さく、電圧変動を発生しやすい。また、大量の旅客輸送を行うことから、安全性についても非常に高い水準が要求される。これらの制約と要求から、電源高調波に関する規制値が DO-160 により厳しく設定されており⁽¹⁰⁾、商用系統の JIS61000-3-2⁽⁹⁾よりも高調波電流を低減する必

要がある。従来、規格を満たすためには、12 パルスや 18 パルスといった多パルスダイオード整流器が用いられていた。また近年の技術動向として、半導体スイッチと連系リアクトルを用いた、力率改善型(PFC: Power Factor Collection)整流器の適用による小型化が検討されている⁽³⁾。また、PFC 整流器の回路構成をマルチレベル化することで、さらに連系リアクトルを小型化し、同時にスイッチング周波数を高めることで高周波電源に対応させる検討も行われている⁽⁴⁾。

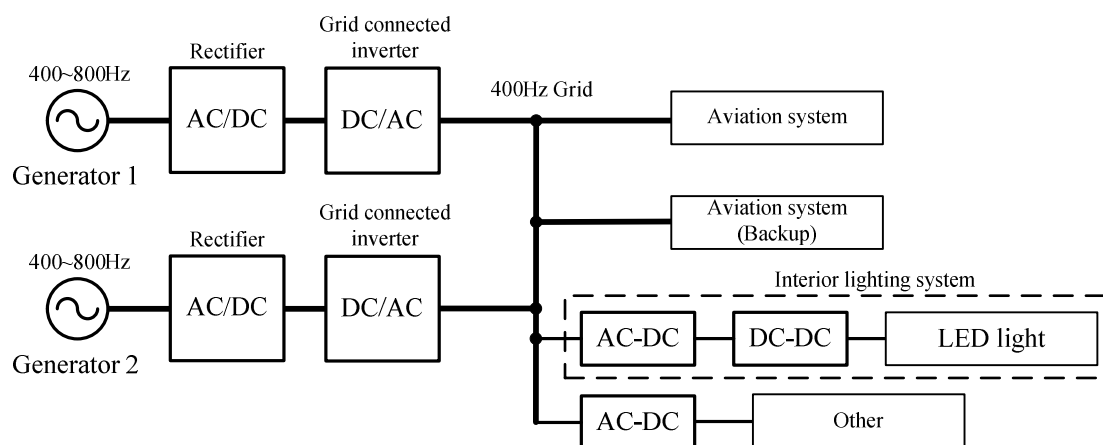


図 1.2 想定する高周波配電システム

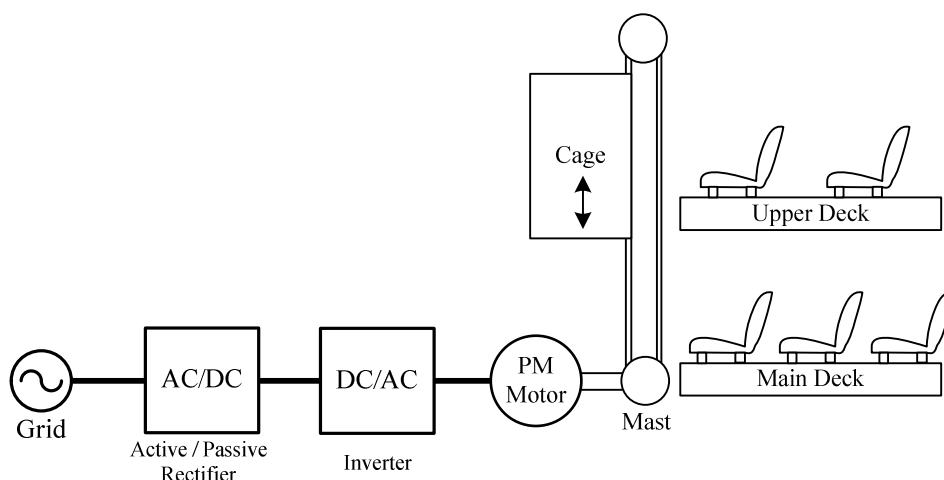


図 1.3 高周波配電システムに接続される機器の例

1.2 研究目的

本研究は、マルチレベル回路による高周波配電用電源回路の小型化を目的とする。本研究の対象は、飛行制御システムの電源として用いられる AC-DC 変換器、および機内の照明器具を駆動する電源の 2 種類とする。これらの用途には、以下のような性能要求がある。

(1) 電流波形改善効果が大きい

高周波電源は、航空機や船舶の内部で独立しているため、商用系統と比較すると電力容量が小さく電源のインピーダンスが高いため、高調波電流による影響を受けやすい。そのため、波形改善効果の大きい PFC 整流器が必要となる。

(2) 変換器体積が小型

運輸機械に搭載される機器は、輸送エネルギー削減の観点から小型軽量化が要求される。特に、リアクトルとキャパシタは電力変換器の体積の多くを占めるため、これら受動部品を小型化できる回路方式が必要となる。

(3) ノイズが小さい

旅客輸送では人命を預かるため、他の輸送機械と比較して高い信頼性が必要となる。電気機器の信頼性を低下させる要因の一つとして、スイッチング電力変換回路から生じる伝導ノイズおよび放射ノイズが指摘されており、各種の規制が設けられている⁽¹⁰⁾。例えば伝導ノイズ規制に対応するためには、電力変換器と電力系統の間に EMC フィルタを追加する必要がある、体積が増加する可能性がある。

本論文では、これらの要求を満たす電力変換器として、電圧形と電流形のマルチレベル回路を用途に応じて適用する。

1 つ目の AC-DC 変換器については、スイッチング電力変換技術に基づいた PWM 整流器を適用し、マルチレベル化による受動部品小型化を目指す。マルチレベル化により、連系

リアクトルおよび EMC フィルタの小型化を実現する。また、提案するマルチレベル PWM 整流器は、電力の方向を AC-DC 変換に限定することでスイッチ数を低減している。高耐圧のダイオードと低耐圧の MOSFET を組み合わせることで、高速スイッチングと導通損失の低減を両立している。

2 つ目の照明器具駆動用電源では、近年急速に普及している高効率な LED 照明の駆動回路として、線形動作する電流バイパス回路を多段接続する方式を提案する。負荷となる LED 素子の電圧－電流特性を疑似的に抵抗負荷の特性に近づけることで、高力率動作を実現する。提案回路は能動素子の線形増幅動作を利用するため、スイッチング電力変換回路と異なりエネルギー蓄積要素が不要である。また、線形増幅回路はスイッチング電力変換回路よりも能動素子の動作速度が遅く、電位変動に伴う伝導ノイズをほとんど発生しないことから、EMC フィルタが不要となる。以上の特性から、受動部品を全く使用しない駆動回路を実現できる。

1.3 論文概要

図 1.4 に本論文の概要を示す。本論文は 6 章で構成されており、各省の内容は以下のとおりである。

第 1 章では、輸送機械の省エネルギー化のための電動化の必要性について述べた。そして、航空機や船舶などの高周波電源系統に接続される変換器に要求される事項について述べた。

第 2 章では、高周波電源に接続される電力変換器として、汎用的な直流電源として使用する AC-DC 変換器、および LED 照明器具の駆動用電源の回路方式を検討する。検討に当たっては、用途指向の観点から能動部品と負荷の特性を生かすことを重視する。AC-DC 変換器では、マルチレベル型のスイッチング電力変換器により、受動部品を小型化する。また、LED 駆動用電源は電源電圧を直接使用し、電圧波形に比例した電流を流すことで高力率動作を実現する回路方式を用いる。それぞれ、既存方式の問題点と提案方式の狙いを示す。

第 3 章では、スイッチ数を削減した三相 5 レベル整流器を提案する。また提案回路について受動素子の設計法を示し、実験による動作確認を行う。また、レベル数の異なる変換

器との受動部品体積の比較を行う。さらに、EMC フィルタの体積についても 3 レベル変換器との違いについて考察する。結果として、提案する 5 レベル PWM 整流器は、従来の 3 レベルや 2 レベルの PWM 整流器と比較し、より小さい受動部品を使用できることから、パワー密度の向上と小型化に有利であることを示す。

第 4 章では、航空機電源などの高周波電源を対象とした PFC 整流器として、3 章で提案したスイッチ数を削減した 5 レベル PWM 整流器を適用し、高周波電源下における波形改善手法の提案を行う。また、対象とする電源システムで想定される負荷変動、電源変動を考慮した動作確認を行う。

第 5 章では、大型の受動部品と高周波スイッチング動作を使用せずに、高力率かつ高効率な動作を実現する交流 LED 駆動回路を示す。提案回路は非線形負荷である LED を抵抗負荷に近づけることで、高力率動作を実現する。また、電流バイパス回路を多段直列接続することで、線形動作領域の損失を低く抑えられる。シミュレーションおよび実験から、従来回路と同等の効率を得られること、高周波電源下において動作可能であることを確認し、降圧チョッパ回路を使用する市販品と比較して部品体積を低減できることを示す。

第 6 章では、本論文の有用性と各提案回路を総括し、今後の課題を述べる。

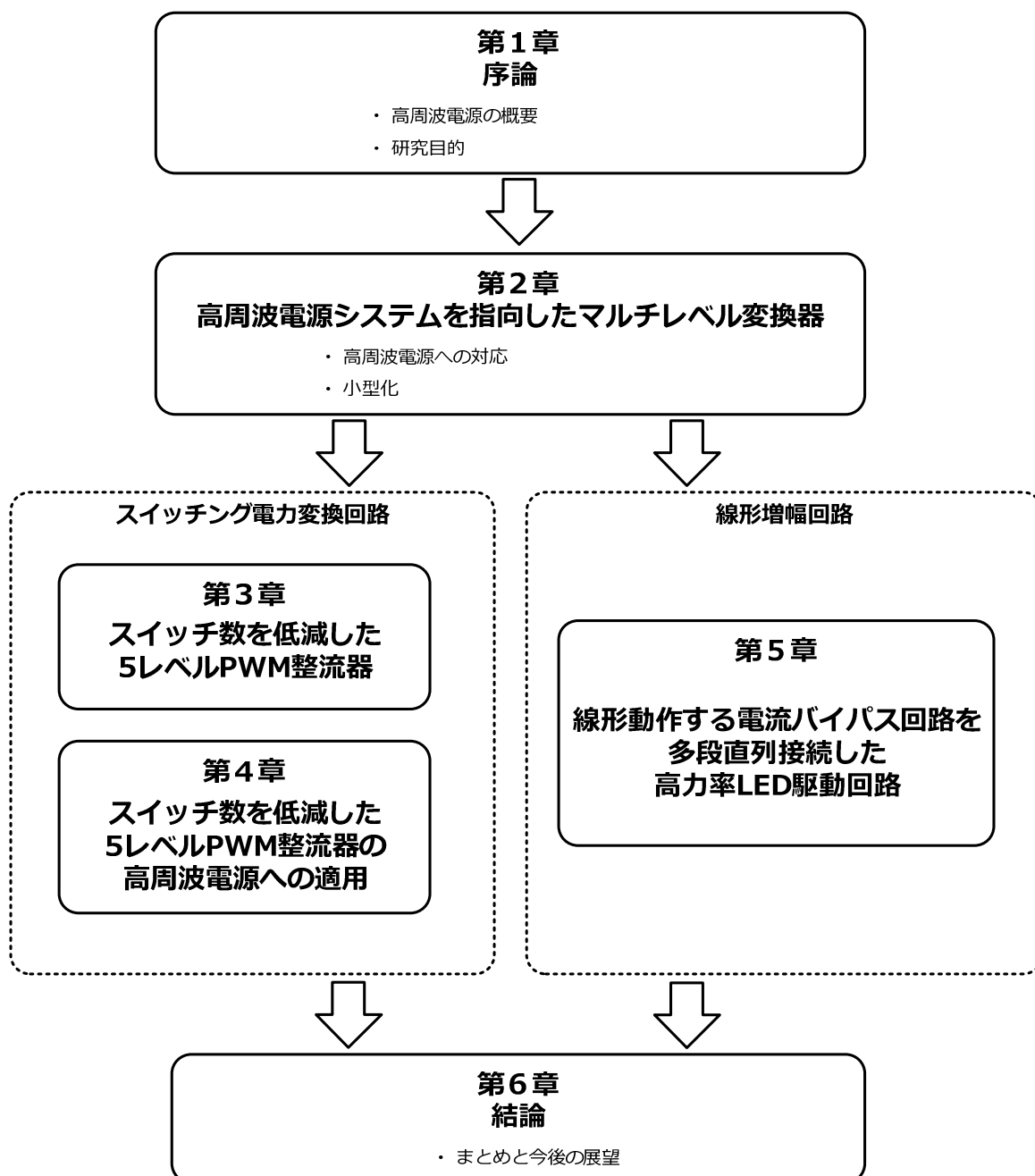


図 1.4 論文構成

参考文献

- (1) 金東海：「パワースイッチング工学」，電気学会, 2003.
- (2) 経済産業省資源エネルギー庁：「エネルギー白書 2013」
- (3) A. Emadi, M. Ehsani, “Aircraft power systems: technology, state of the art, and future trends”, IEEE Aerospace and Electronic Systems Magazine, Vol. 15, No. 1, pp. 28- 32 (2000)
- (4) Gong Guanghai, M.L. Heldwein, U. Drofenik, J. Minibock, Kazuaki Mino, J.W. Kolar, “Comparative evaluation of three-phase high-power-factor AC-DC converter concepts for application in future More Electric Aircraft”, IEEE Transactions on Industrial Electronics, Vol. 52, No. 3, pp. 727- 737 (2005)
- (5) Cao Wenping, B.C. Mecrow, G.J. Atkinson, J.W. Bennett, D.J. Atkinson, “Overview of Electric Motor Technologies Used for More Electric Aircraft (MEA)”, IEEE Transactions on Industrial Electronics, Vol. 59, No. 9, pp. 3523- 3531 (2012)
- (6) A. Tenconi, P. W. Wheeler, “Introduction to the Special Section on The More Electric Aircraft: Power Electronics, Machines, and Drives”, IEEE Transactions on Industrial Electronics, Vol. 59, No. 9, pp. 3521- 3522 (2012)
- (7) J.A. Rosero, J.A. Ortega, E. Aldabas, L. Romeral, “Moving towards a more electric aircraft”, IEEE Aerospace and Electronic Systems Magazine, Vol. 22, No. 3, pp. 3- 9 (2007)
- (8) H. Wolf, T. Gathmann, “Active three-phase rectifier for aircraft equipment”, European Conference on Power Electronics Applications, pp. 1-10 (2005)
- (9) 日本工業規格, 「JIS C61000-3-2」 2005
- (10) RTCA, “DO-160, Environmental Conditions and Test Procedures for Airborne Equipment”, (2010)

第2章

電源高調波を低減する マルチレベル回路と 高周波電源への適用

2.1 緒論

近年，電子機器の入力電流に対する様々な高調波規制が行われている。整流器の入力電流に高調波電流が含まれる場合，電源系統を介して他の電子機器へ流入し故障や動作不良の原因となる。これは信頼性が重要視される航空機電源用途では，重要な課題である。

このような様々な問題を引き起こす高調波電流の主な発生源として，インバータの整流回路がある。最も簡単な整流回路としてダイオード整流回路が広く普及しているが，その入力電流は多くの高調波を含む。高調波には商用系統では IEC61000-3-2，400 Hz 系の高周波電源系統では DO-160 などの規格があり，電力機器を使用するためには機器の仕様をこれらの規格に適合させる必要がある。そのため，高調波電流抑制の観点から，機器の入力電流波形改善は重要な課題となっている。

入力電流波形改善を目的とした整流回路として，PFC (Power Factor Correction) 整流器があり，盛んに研究されている⁽¹⁾⁻⁽³⁾。現在，波形改善型整流器としてよく用いられる PWM 整流器も PFC 整流器の 1 つである。PWM 整流器はスイッチング素子により構成されるため電流波形の制御性が高く，入力電流波形改善に有効である。

本章では、これまで研究されてきたマルチレベル回路について、電圧形および電流形の各方式について紹介した上で、具体的な用途に対して回路方式を検討する。一つ目は発電機と機内の電力系統を連系するための AC-DC 変換器について、電圧形マルチレベル回路を適用する。二つ目は機内照明用 LED の駆動回路について、電流形マルチレベル回路を適用する。いずれについても、高周波電源への対応、および変換器体積小型化の観点から、提案方式の利点を明確にする。

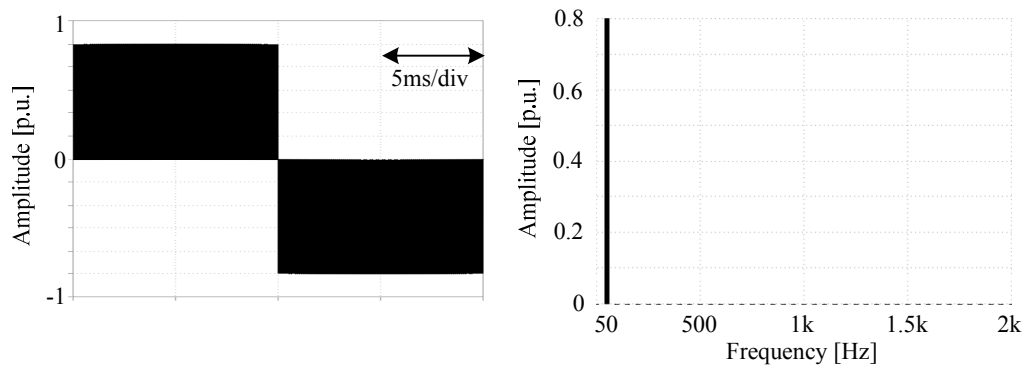
2.2 高周波電源に適した電力変換器

高周波電源は、商用周波数の系統と比較してトランスを小型化することができるため、電源機器の小型化が重要となる航空機や船舶などの輸送機械において採用例が多い。特に航空機では、従来の油圧式アクチュエータを用いた飛行制御システムに代わり、小型軽量化が可能な電気式アクチュエータの採用が進み、電源設備の容量が増大している。

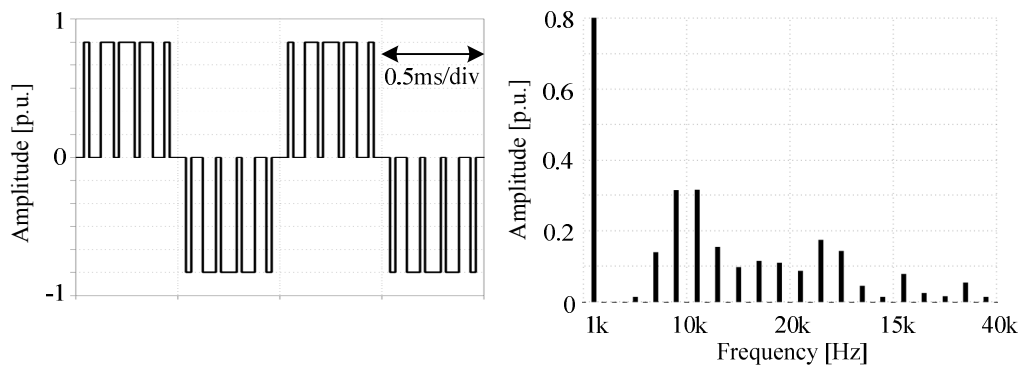
航空機電源のような高周波電源システムでは、系統の周波数が 400~800 Hz と高い。そのため、電流の制御性能を確保するため、一般的な商用電源に用いる電力変換器に比べてスイッチング周波数を高く設定することが望ましい。

図 2.1 に、フルブリッジ単相インバータにおいて、基本波周波数を大幅に上昇させた場合の PWM 出力電圧高調波を示す。条件はキャリア周波数 5 kHz、基本波周波数が 50 Hz と 1 kHz とする。高調波解析結果より、50 Hz では 40 次までの高調波がほとんど観測されず、良好な正弦波出力が得られている。一方 1 kHz では、0.3 p.u.を超える 9 次と 11 次高調波が観測されており、ひずみを低減するにはスイッチング周波数を上昇させる必要がある。

しかし一般的な 2 レベルインバータではスイッチング素子の制約から、スイッチング周波数を単純に上昇させるのは困難である。そこでスイッチング周波数の向上を実現する技術として、マルチレベル構成が考えられる。 n レベル構成でスイッチ印加電圧を $1/(n-1)$ に低減できるため、低耐圧で高速な MOSFET が使用できることからスイッチング周波数が向上し、リアクトルの小型化や電流高調波の低減が実現できる。



(a) 基本波周波数 50 Hz



(b) 基本波周波数 1 kHz

図 2.1 フルブリッジインバータの PWM 出力電圧と高調波解析例
(キャリア周波数 5 kHz, 基本波振幅 0.8 p.u.)

2.3 電圧形マルチレベル回路

スイッチング素子の印加電圧を低減できる電圧形マルチレベル回路は、多数の方式が提案されている⁽⁴⁾⁻⁽¹⁰⁾。 n レベルの変換器は、スイッチング素子に印加される電圧を $1/(n-1)$ に低減することができる。そのため、マルチレベル構成の変換器には低耐圧のスイッチング素子が適用可能である。低耐圧素子として一般的な MOSFET は、高耐圧の IGBT と比較して、特に軽負荷の領域において低導通損失であるため、変換器の高効率化が期待できる。また、PWM 整流器用途を想定した場合、PWM パルスの電圧時間積が低減するため、2レベルのままスイッチング周波数を高めた場合と同様に、連系リアクトルの小型化が可能である。

これまで実用化されている代表的なマルチレベル PWM 整流器の回路構成として、文献(6)(7)のダイオードクランプ方式、文献(8)(9)のフライングキャパシタ方式、文献(10)のアクティブ中性点クランプ方式(以下 ANPC: Active Neutral Point Clamped)等がある。

図 2.2 にダイオードクランプ方式の 3 レベルおよび 5 レベル構成時の回路図を示す。ダイオードクランプ方式では、ダイオードを用いて各スイッチの電圧を直流部のコンデンサ電圧でクランプする。各コンデンサ電圧のバランスは、3 レベルまでは変調により実現できるが、4 レベル以上になると各コンデンサに電圧バランス用の補助回路が必要になる。そのため、レベル数が増加するにつれて補助回路の増加が問題となる。

図 2.3 にフライングキャパシタ方式の 3 レベルおよび 5 レベル構成時の回路図を示す。フライングキャパシタ方式は、電圧が $1/nV_{dc}$ 刻みで異なるフライングキャパシタの接続を切り替えることにより、複数の電圧レベルを出力できる。スイッチ電圧は各フライングキャパシタにより $1/nV_{dc}$ にクランプされる。各フライングキャパシタ電圧はスイッチングパターンにより充放電を任意に選択できるため、自律的にバランスさせることができる。フライングキャパシタの容量は、スイッチング周波数を上昇させることで低減できる。しかし、静電容量よりもリプル電流耐量が小型化の障害となる場合がある。

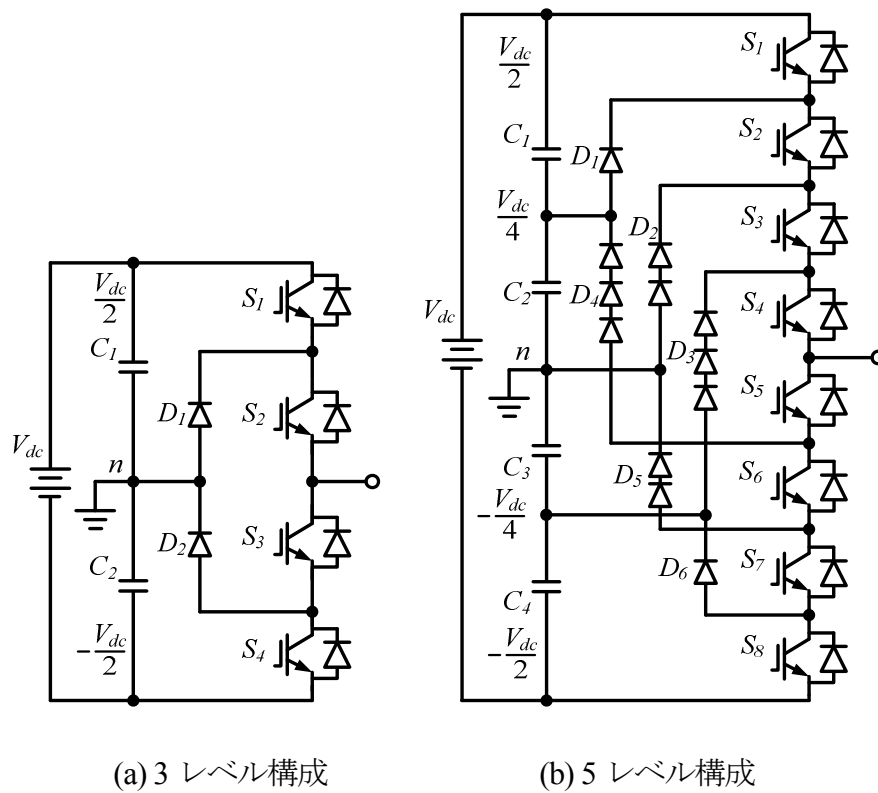


図 2.2 ダイオードクランプ方式

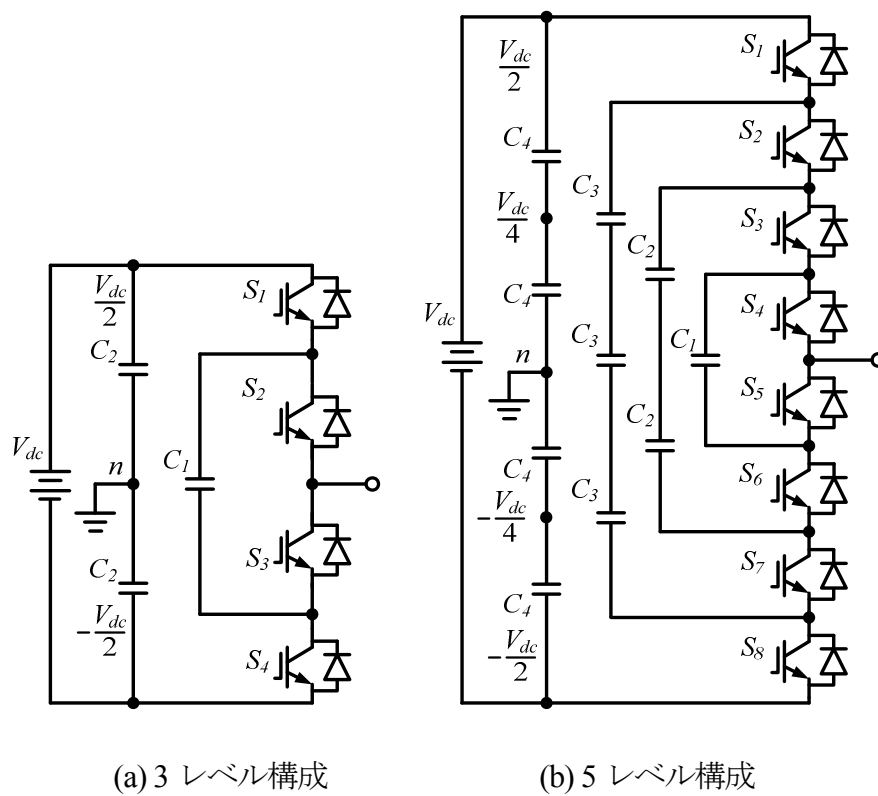


図 2.3 フライングキャパシタ方式

図 2.4 に示すカスケード接続方式は、H ブリッジを多段接続する。よって、同一のモジュールを接続することで多レベル化できるため、異なる電圧レンジにおいてモジュール設計を共通化できる利点がある。しかしながら、直流部を各相共通にできないため、独立した直流電源が多数必要になる。そこで、多巻線変圧器を用いて直流電源を構成する方式が使用されるが、この場合は変圧器の体積と質量が大きくなる問題がある。

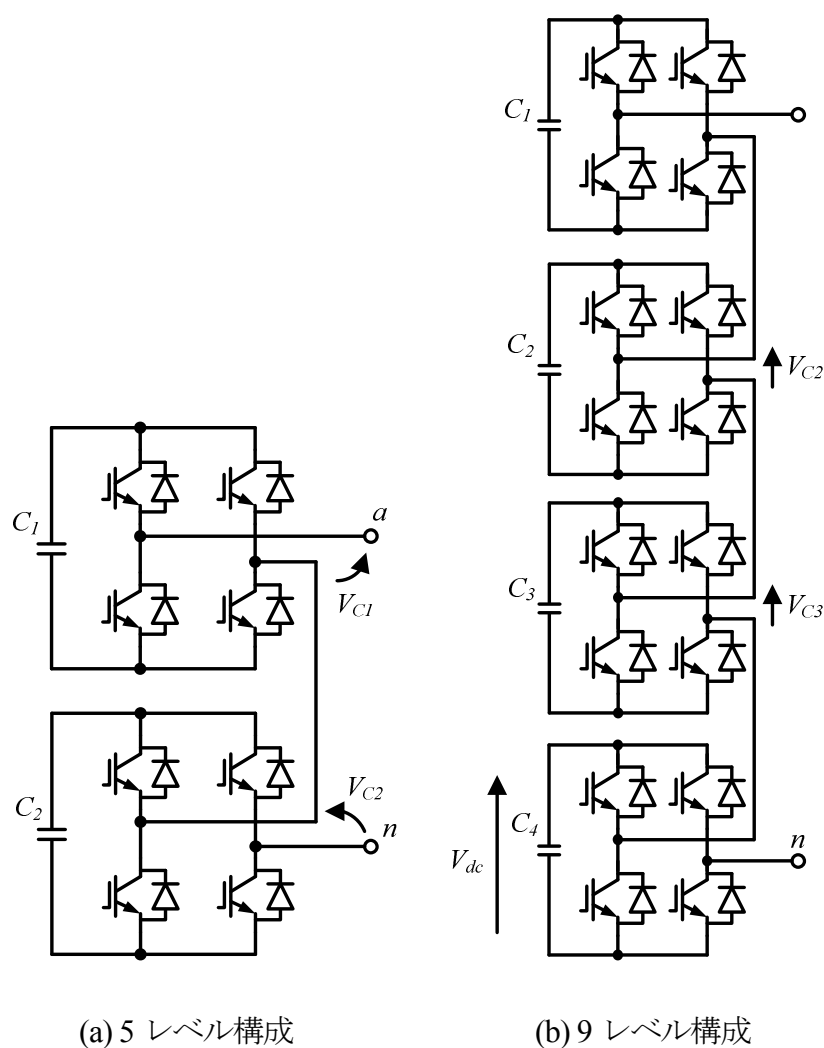


図 2.4 カスケード接続方式

図 2.5 に ANPC 方式マルチレベルインバータ回路を示す。ANPC 方式は、 $1/2V_{dc}$ の耐圧を有する n レベルインバータを、直流中点を中心に上下にクランプ位置を切り替える方式である。ANPC 方式は、FC 方式と比較してキャパシタ通過数が少なく、キャパシタ体積と損失を抑制できる。出力電圧のレベル数は $2n-1$ となるため、内側の S_1, S_2 で構成される 2 レベルインバータを 3 レベル FC 形とすると、5 レベルの出力が可能となる。

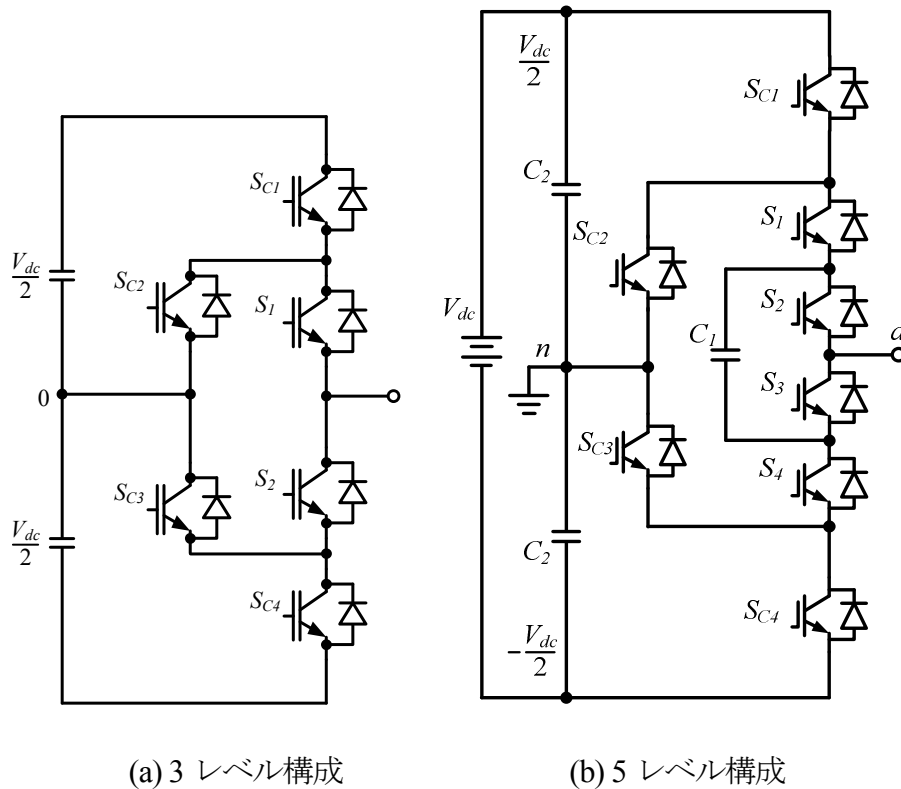


図 2.5 アクティブ中性点クランプ方式

しかし、いずれの回路構成においてもスイッチング素子数が増加する問題がある。1 相あたりのスイッチング素子数は、ダイオードクランプおよびフライングキャパシタ方式では、2 レベル PWM 整流器と比較して $2(n-1)$ 個に増加する。また ANPC 方式においても、 $n+3$ 個のスイッチが必要で、実装コストが上昇し、制御器も複雑になる。例えば、5 レベル構成では、1 レグあたりのスイッチング素子数が 8 個、三相に適用すると 24 個ものスイッチング素子が必要である。変換器の小型化、高効率化を実現できるマルチレベル変換器の普及を促進するためには、素子数低減によるコスト削減が効果的である。

図 2.6 に Vienna 整流器を示す⁽¹¹⁾。Vienna 整流器は 1 相当たり 2 個のスイッチング素子で 3 レベルの出力電圧が得られるため、例えばダイオードクランプ形 3 レベルインバータで構成する PWM 整流器と比較すると、三相構成全体のスイッチ数を 12 個から 6 個に削減できる。よって、2 レベル相当のスイッチ数で 3 レベル動作が可能となり、連系リアクトルの小型化が可能である。また、 S_1, S_2 の寄生ダイオードは使用されないため、逆方向リカバリ特性に課題のある MOSFET についても、高速スイッチングの特性を生かすことができる。

一方で、Vienna 整流器はダイオードクランプ形インバータのスイッチング素子をダイオードで置き換えた構成となり、回生運転の動作に限定される。そのためパワーフローは AC-DC の整流動作に限定される。また、 $+1/2V_{dc}$ 、 $-1/2V_{dc}$ 出力時には D_1 と D_2 もしくは D_3 と D_4 の 2 個のダイオードが導通するため、6 素子のダイオード整流器と比較すると導通損失が増加する。

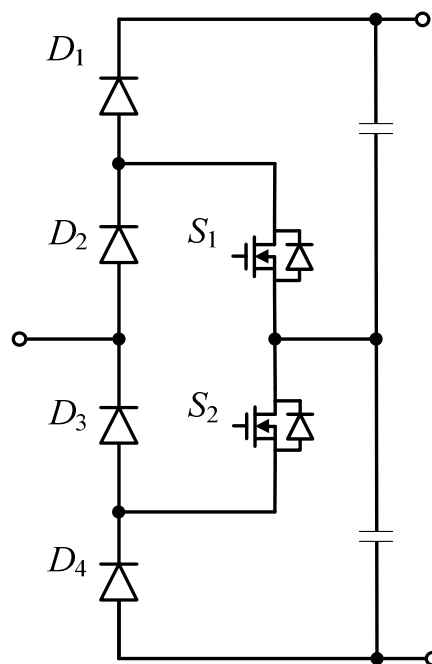


図 2.6 Vienna 整流器

図 2.7 にダイオードクランプ形線形増幅回路の回路と動作波形を示す。高周波スイッチングを用いると伝導ノイズが発生するため、系統連系時には EMC フィルタが必要となる。これに対して、伝導ノイズをほとんど生じさせない電力変換手法として、ダイオードクランプ形線形増幅回路が提案されている⁽¹²⁾。線形動作による低い dv/dt によりノイズを低減できる利点に加えて、線形増幅回路を多段化することで、変換効率を大幅に改善できること、PWM 波形を平滑するエネルギー蓄積要素が不要となる等の利点を有する。しかし、多数の直流電源が必要となり、実用上の課題が残る。

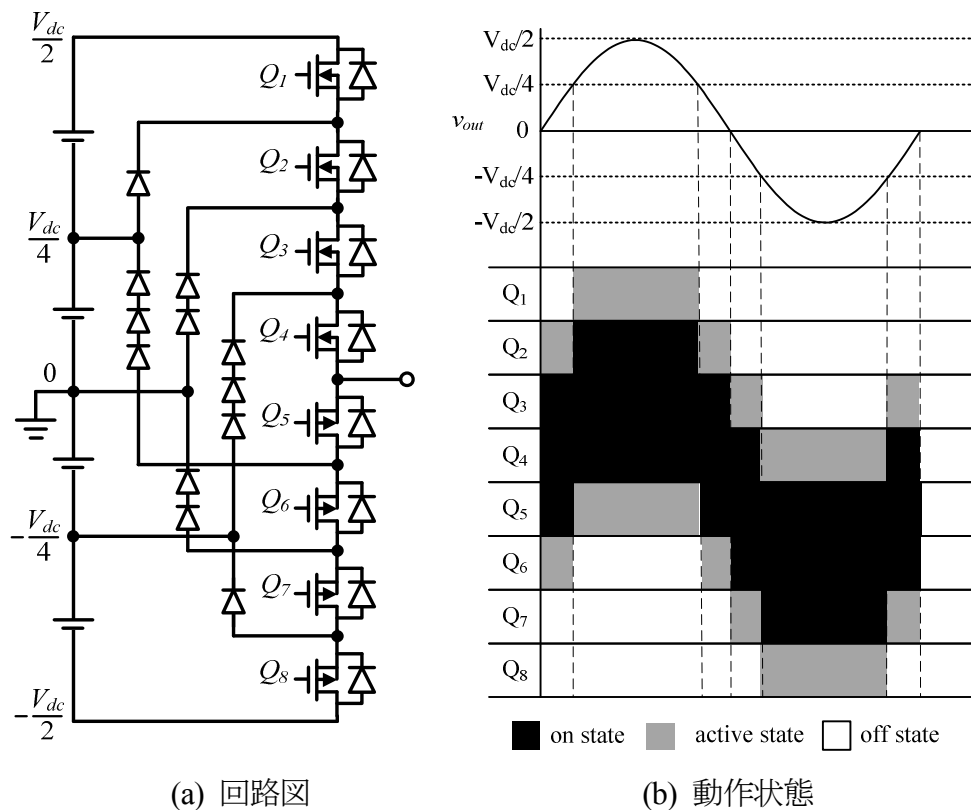


図 2.7 ダイオードクランプ線形増幅回路

2.4 電流形マルチレベル回路

電流形インバータは、電圧形インバータの双対の回路構成となるため、電圧形に対して次のような利点を持つ⁽¹⁵⁾。

- ・電源のインピーダンスが高く、系統連系時の過電流保護動作が電圧形インバータよりも容易
- ・インバータの並列接続によるマルチレベル化が可能

これらの特徴から、太陽電池や電力貯蔵システムの系統連系インバータとしての利用が検討されている⁽¹⁵⁾⁽¹⁶⁾。また電圧形と同様にマルチレベル構成が可能であり、スイッチング素子に流れる電流値をレベル数 n の $1/(n-1)$ に低減できる⁽¹³⁾。そのため、高耐圧の GTO を用いた大容量インバータや整流器に適用が検討されている⁽¹⁷⁾⁻⁽¹⁹⁾。

図 2.8 に三相 2 レベル電流形インバータの基本構成を示す。電源は電流源となるため、降圧チョッパや電流形整流器を使用する。直流リンク部のリアクトルは電圧形インバータの直流リンクキャパシタに相当し、直流リンク電流を一定に維持する。またスイッチング素子として GTO を用いたが、これは電流形インバータが大容量の変換器への適用例が多いことと、逆阻止ダイオードを付加した IGBT や MOSFET モジュールが一般的でないことによる。また、スイッチング速度の速い IGBT 等を使用する場合は、PWM 制御が可能となる⁽¹³⁾。

図 2.9 に直流リンクリアクトルを分割した 3 レベル電流形インバータの構成を示す。2 レベル回路と比較すると、同一のスイッチング素子を使用して 2 倍の出力電流を得ることができる。一方、直流部の電流源が共通となるため、分割したリアクトルの電流バランスを考慮した制御が必要となるため、各インバータの直流電圧平均値が等しくなるよう制御される。マルチレベル電流形インバータは、出力の電流振幅変動幅がレベル数に反比例して小さくなるため、出力端の平滑キャパシタ C_a を小型化することができる。これは電圧形インバータを使用したマルチレベル PWM 整流器における、連系リアクトルの小型化と双対の利点である。

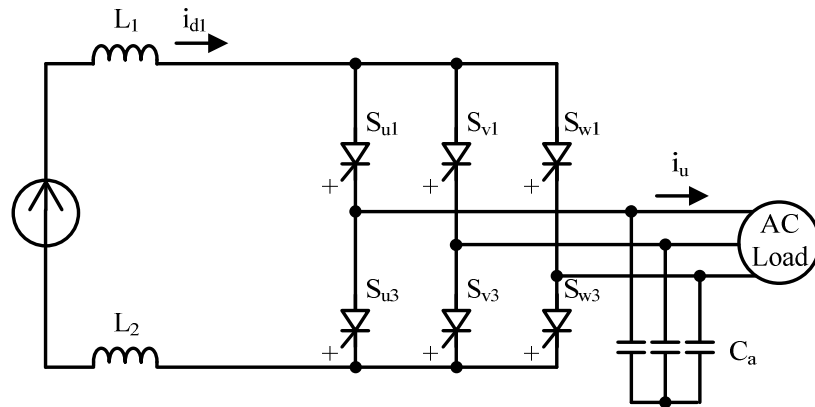


図 2.8 2 レベル電流形インバータ

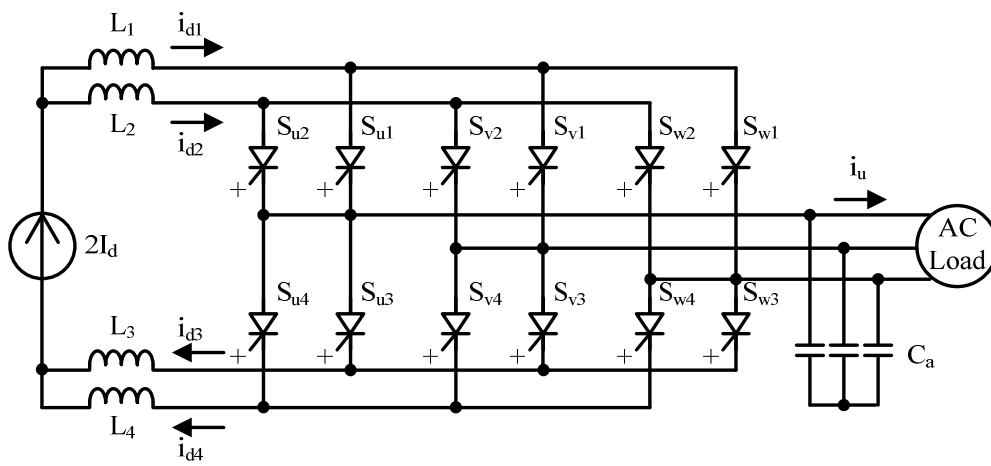


図 2.9 3 レベル多重電流形インバータ

図 2.10 に文献(14)の提案するエミッタ共通の 3 レベル単相電流形インバータを示す。このインバータは、出力電流を $I_1, 0, -I_2$ の 3 レベルから選択して出力できる。

電圧形電流形を問わず、マルチレベルインバータ全般の問題として、スイッチング素子のゲート駆動用絶縁電源の増加が挙げられる。6 アーム 2 レベル構成では、下側 3 個のスイッチがエミッタ共通にできるため、電源数を 4 個に削減できる。しかしマルチレベル構成では、電源数の増加が避けられない。また、高速なスイッチング素子を使用する場合には、絶縁電源に内蔵されているトランスの浮遊容量を介したノイズ電流による、誤点弧の危険性も生じる。

図 2.10 の回路は、 D_1, D_2, S_2, S_4 を用いて、 S_1, S_3 短絡、出力電流 0 の状態を実現している。スイッチング素子のエミッタが全て共通であるため、ゲート駆動用電源は一つだけでよい。また、高速スイッチングに伴うゲート駆動用電源の絶縁に関する問題も解決できる。また、電流形の特徴を生かした出力端の並列接続による 5 レベル化も報告されている。この場合も、3 レベルと同様に分割リアクトルによる共通の電流源を使用することで、すべてのスイッチング素子のエミッタ電位を共通化できる。

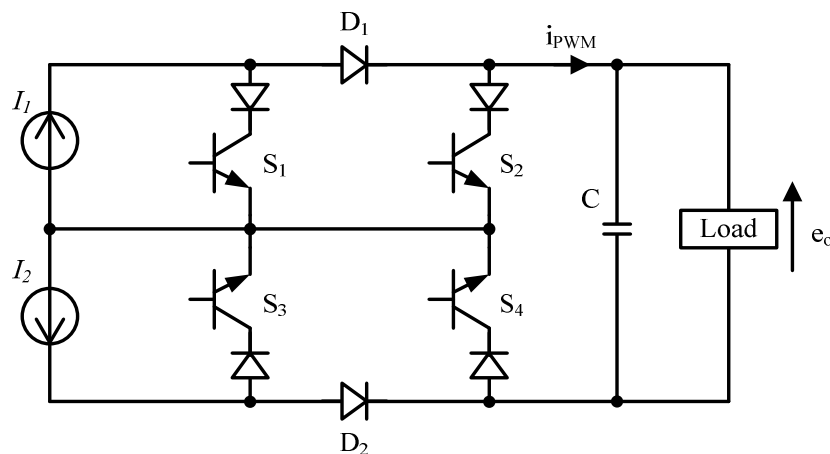


図 2.10 エミッタ共通型 3 レベル多重電流形インバータ

一方、電流形マルチレベル回路は線形増幅回路でも利用されており、交流 LED 駆動回路への適用例がある。LED 照明は LED の効率向上と低価格化、および長寿命特性により、従来の蛍光灯照明器具に対する優位性が強まり、近年急速に普及している⁽²¹⁾⁽²³⁾。LED を駆動するには、順方向電流を一定値以下に制御する必要がある。そのため、交流電源を用いる LED 照明器具では、電流制御用の DC-DC コンバータと整流器を組み合わせた回路が多く用いられている。また照明器具は同時に多くの台数が使用されるため、整流器は入力電流高調波が低減できる力率改善機能を有する方が望ましい。しかし、高周波スイッチングを用いた電力変換器には、エネルギー蓄積要素としてコンデンサとリアクトルが必要であり、回路体積の大型化の一因となっている。

図 2.11 に降圧チョップを用いた交流 LED 駆動回路の例を示す⁽³²⁾。LED 駆動電源も同様に、特に降圧チョップ用リアクトルの占める体積が大きい。また整流器と DC-DC コンバータ間の直流部に付加される電解コンデンサの寿命は LED よりも短いため、器具の寿命を制限する一因となる。これらの問題を解決するため、電解コンデンサを使用せず、小容量のリアクトルで PFC 動作を行う電流不連続モード 1 石コンバータ回路が提案されている⁽²⁴⁾⁽²⁵⁾。しかし、電流不連続動作によりリアクトル電流が増加し、リアクトルとスイッチング素子の導通損失が増加する問題がある。

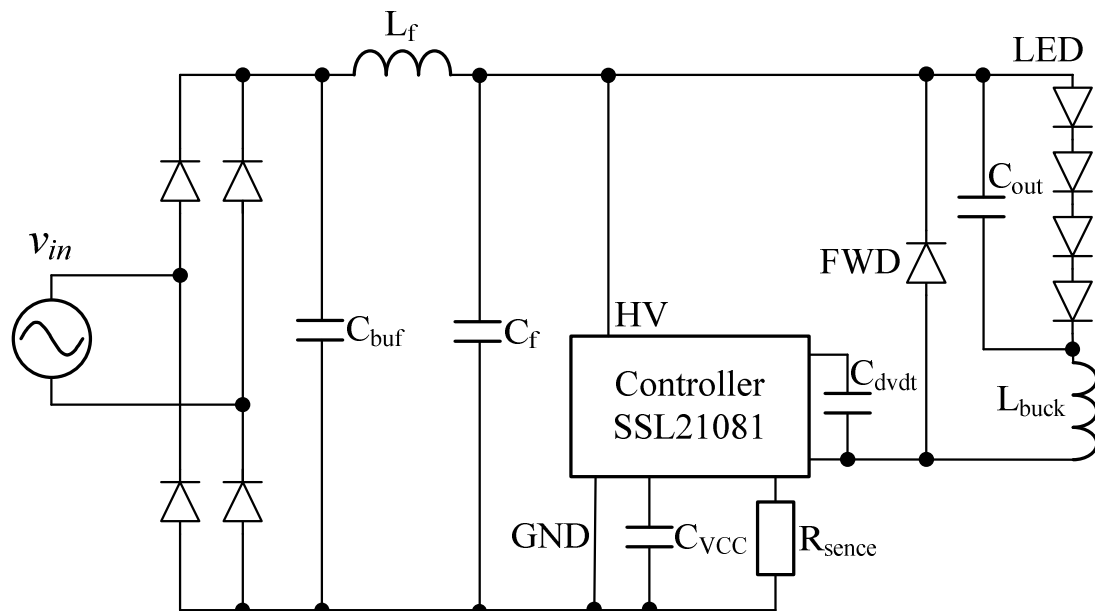


図 2.11 降圧チョップ方式交流 LED 駆動回路

一方、LED 駆動回路において、線形回路を用いて力率改善動作を実現する回路方式として、LED の指数関数的に変化する V-I 特性を抵抗負荷に近づける方式がいくつか提案されている⁽²⁶⁾⁽³⁰⁾。

図 2.12 に示す文献(26)の回路では、ダイオード整流器の後段に接続した LED 列に電流バイパス回路と可変電流源を設け、直列数および電流値を電源電圧に比例して増減させることで抵抗負荷を模擬し、力率を改善する方式が提案されている。しかし、電流バイパス回路を駆動するオペアンプは電源電圧を超える耐圧が必要となり、制御回路の消費電力が増加する問題がある。

図 2.13 に、文献(27)の回路を示す。これは文献(26)と同様の動作をデジタル制御系で構成したもので、前述の制御回路の消費電力を低減できる可能性がある。しかし、制御用の IC やゲート駆動回路が多数必要となり、回路が複雑化する問題がある。

図 2.14 に、文献(28)(29)の回路図と入力電流波形の例を示す。これは各バイパス段に電流値の異なる電流源を複数設ける方式である。電流源の個数と電流容量が増加する点と、バイパススイッチの耐圧が高く、導通損失が増加する問題がある。

図 2.15 に示す文献(30)では、電流値が各列で等しく、入力電圧に対して LED に通流が始まる電圧 V_{th} がそれぞれ異なる LED 列を、並列に複数接続する方式が提案されている。この回路は、電源電圧に応じて通流する LED 列の並列数を可変させる点が他と異なり、 V_{th} を決定する電流バイパス回路が 1 段の定電流ダイオードで構成されるため、前述の制御回路複雑化の問題が回避できる。しかし、CRD は自己消弧能力がなく、 V_{th} を超えた後も電流が流れ続けるため、損失が大きくなる問題がある。

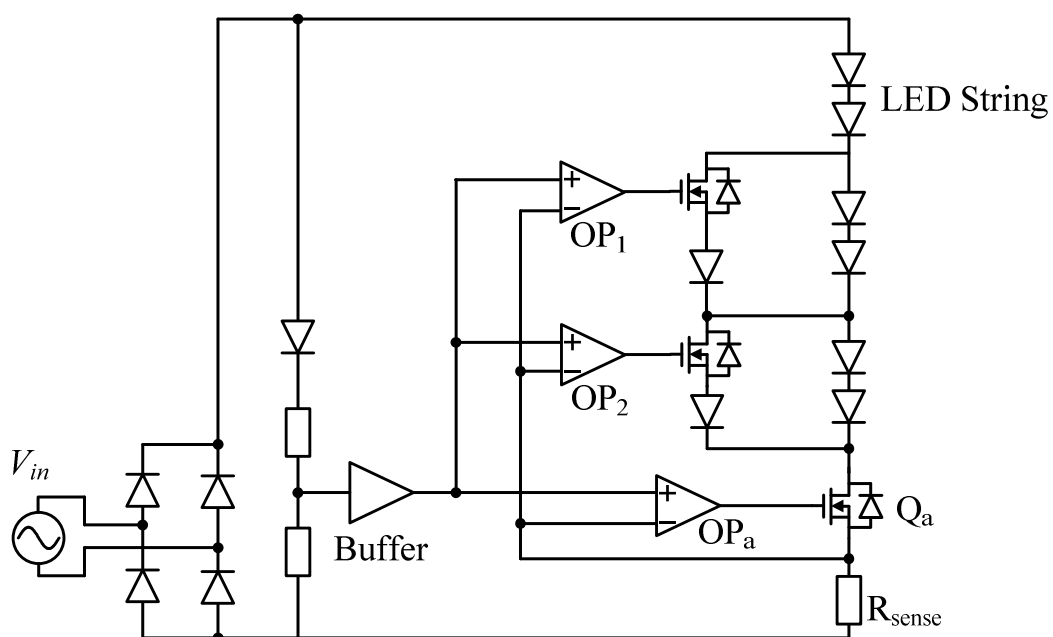


図 2.12 可変電流源による交流 LED 駆動回路

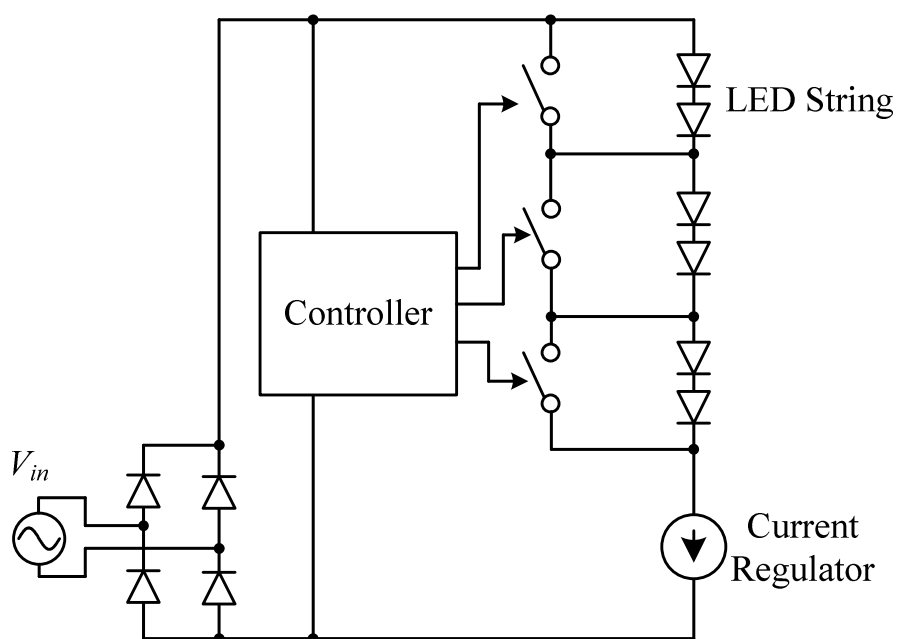
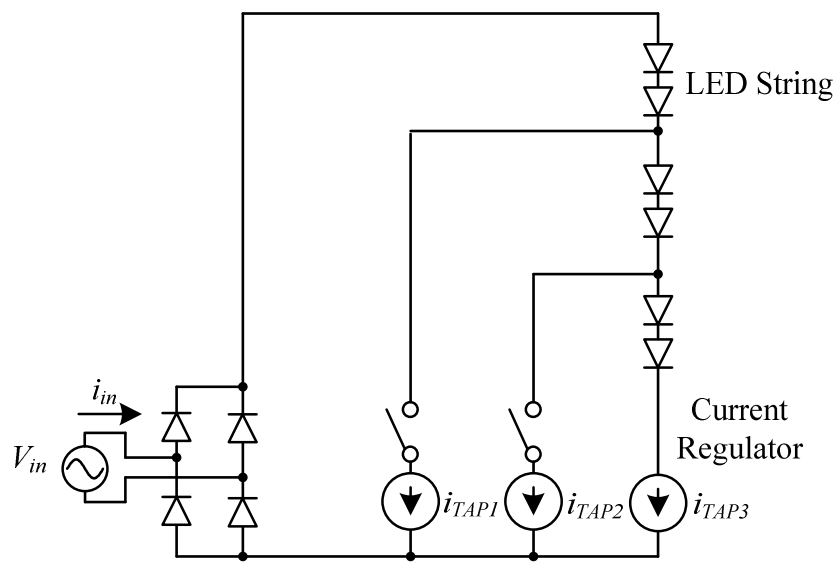
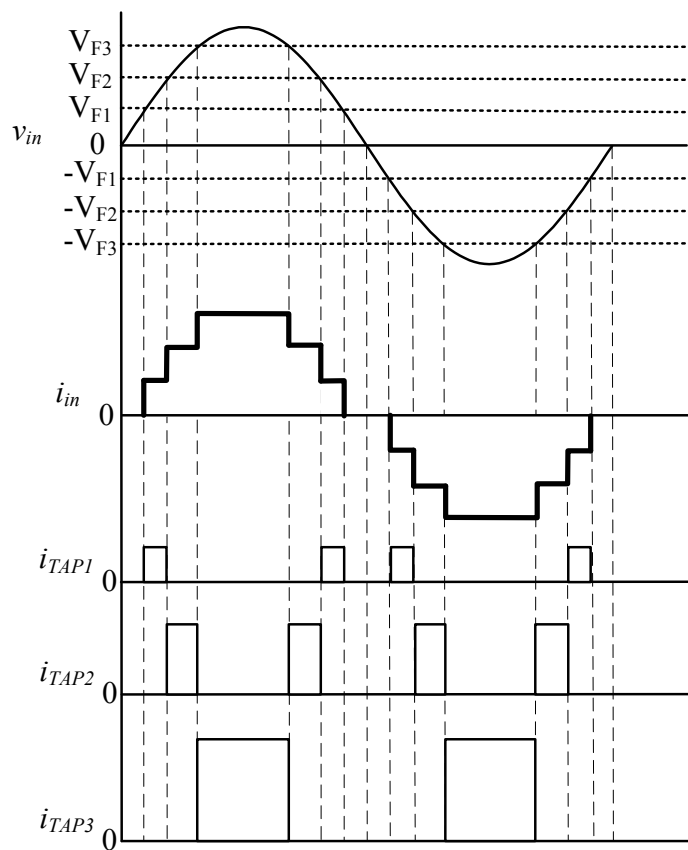


図 2.13 デジタル制御方式交流 LED 駆動回路



(a) 回路図



(b) 動作状態

図 2.14 Sequential Linear 方式交流 LED 駆動回路

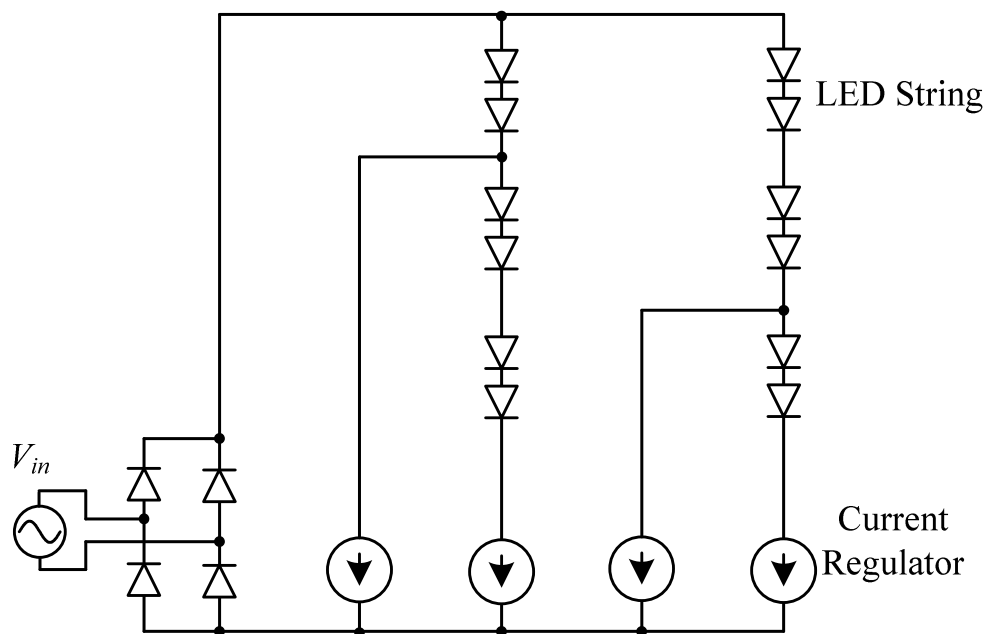


図 2.15 LED 列を並列接続した駆動回路

2.5 高周波電源適用時の課題

これまでマルチレベル回路の高周波電源への適性、および電圧形と電流形の代表的な回路方式について紹介した。次に、具体的な用途について、本論文が解決しようとする課題を説明する。

2.5.1 発電機連系用 PWM 整流器

2.2 節で述べたように、高周波電源に PWM 整流器を適用する場合、高い電源周波数に対応できる制御性を確保するため、スイッチング周波数を高く設定する必要がある。スイッチング周波数の向上を実現する技術として、マルチレベル構成が有利である。しかし従来から提案されているダイオードクランプ方式またはフライングキャパシタ方式マルチレベル PWM 整流器はスイッチング素子数が多く、回路構成と制御方法が複雑化する問題がある。一方、航空機電源の発電機連系用途では、従来から多パルスダイオード整流器が使用されていたため、これを置き換える PWM 整流器は、パワーフローが AC-DC の単方向に限定されていても問題はない。また、制御系の故障を想定した場合、AC-DC 単方向の変換器であれば発電機側に電力が力行することがなく、安全性の観点から都合がよい。以上の特性から、航空機電源用途に向けた Vienna 整流器の適用が検討されている⁽³¹⁾。しかし、連系リアクトルを小型化するには、さらなるレベル数の向上が有効と考えられる。そこで、スイッチ数を低減した 5 レベル PWM 整流器を提案する。本回路について、動作原理とパラメータ設計、受動部品体積の検討については 3 章、また高周波電源への適用検討について 4 章で詳しく述べる。

2.5.2 LED 照明用電源

航空機の機内などで使用される LED 照明器具の電源は、機体軽量化のために一層の小型化が望まれている。この点、降圧チョッパや 1 石コンバータなどのスイッチング電力変換器はエネルギーバッファが必要であり、回路体積が大きい。一方で、文献(26)~(30)のような電流形マルチレベル回路を用いた高力率交流 LED 駆動回路は、リアクトルやキャパシタ

が不要であり、半導体部品の集積化によって回路を大幅に小型化できる。文献(28)の回路は実際に IC が市販されている。またこれらの回路は、電流源に線形動作するレギュレータを用いているため電流制御応答が良く、高周波電源に適用可能と考えられる。また、エネルギーバッファのない回路は商用電源でちらつき（フリッカ）が課題となる。しかし、人間は数 100 Hz 以上のちらつきは知覚できないと考えられるため⁽³³⁾、400 Hz の高周波電源ではちらつきが 800 Hz となり、十分に高い周波数と言える。

そこで、これらの回路方式における能動素子や制御回路の耐圧、制御回路の複雑さの問題を解決する回路方式を提案する。本回路については 5 章にて詳細を述べる。

2.6 本研究の位置づけ

本論文では、高周波電源システムに使用される電力変換器の小型化を目指し、AC-DC 変換器、および LED 駆動用電源回路の各用途について、電圧形と電流形のマルチレベル回路を適用する。

図 2.16 に、本論文の位置づけを示す。

AC-DC 変換器に関しては、スイッチング素子の耐圧低減の観点から電圧形マルチレベル回路を選択する。Vienna 整流器よりもレベル数を増加させた 5 レベル PWM 整流器を提案し、連系リアクトルを一層小型化する。また、パワーフローを AC-DC 方向に限定したことで、スイッチング素子をダイオードに置き換え、従来のダイオードクランプ方式やフライングキャパシタ方式マルチレベルインバータよりもスイッチ数を半減させることで、コストダウンを可能にする。

LED 駆動用電源については、電源を高周波化するとエネルギーバッファとなる受動部品が無くとも、ちらつきの問題が解消される。よって受動部品を使用せずに力率改善を行う回路方式として、電流形マルチレベル回路を選択する。線形動作を利用することで伝導ノイズが大幅に抑制され、EMC フィルタも除去できる。線形増幅回路で課題となる制御回路について、抵抗とツェナーダイオードのみで構成したバイパス回路により、電流バイパス回路を線形動作させる回路を提案し、5 章で詳細に述べる。

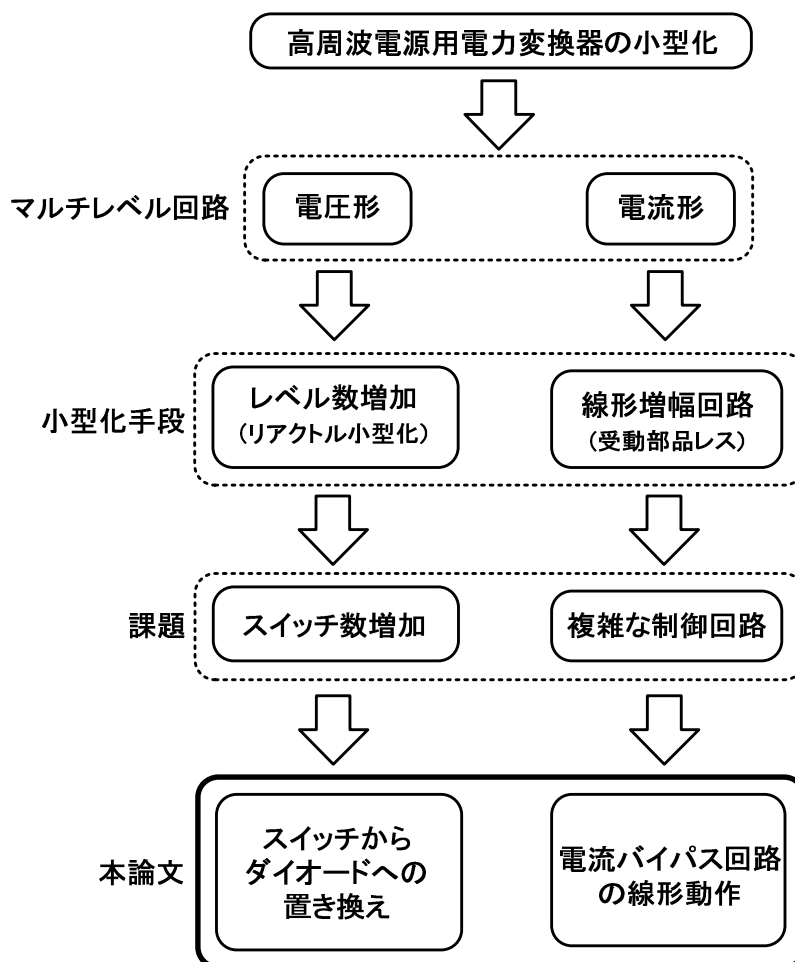


図 2.16 本研究の位置づけ

2.7 結言

本章では、高周波電源システムで使用される電力変換器を小型化する目標に対し、マルチレベル回路の適性を紹介し、電圧形・電流形それぞれの回路方式について述べた。次に AC-DC 変換器、および照明用 LED 駆動用電源の回路方式について、小型化の観点から検討した。以下に本章の結論を示す。

- (1) 電圧形マルチレベル回路は、スイッチング素子の耐圧を低減できるため、低耐圧・高速スイッチングが可能となり、高周波電源に対して電流制御能力を確保できる。また、連系リアクトル容量を低減できるため、受動部品が小型化される。
- (2) 電圧形マルチレベル回路は、レベル数の増加のともないスイッチ数が増加する。しかし、Vienna 整流器のようにパワーフローを AC-DC 方向に限定することでスイッチをダイオードに置き換え、簡略化を図ることができる。この考えに基づき、3 章ではスイッチ数を低減した 5 レベル PWM 整流器を提案し、受動部品の設計手法と小型化効果を検証する。また 4 章では、高周波電源連系時の動作検証を行う。
- (3) 電流形マルチレベル回路を利用した LED 駆動用電源は、エネルギーバッファとなる受動部品を使用せずに入力電流の力率改善が可能である。また、線形動作する電流源は周波数応答が良く、高周波電源に対応できる。一方で従来回路は制御回路の複雑さに課題があるため、電流バイパス回路を線形動作させることで制御回路を単純化する方式を提案し、5 章で詳しく述べる。

参考文献

- (1) B. Singh, B. N. Singh, and A. Chandra, et al, “A Review of Three-Phase Improved Power Quality AC-DC Converters”, IEEE Transactions on industrial electronics, vol.51, no.3, pp.641-660 (2004)
- (2) J. Rodriguez, L. G. Franquelo, and S. Kouro, et al : “Multilevel Converters: An Enabling Technology for High-Power Applications”, Proceedings of the IEEE, Vol. 97, No.11, pp.1786-1817 (2009)
- (3) U. Drofenic, J. W. Kolar, Y. Nishida, Y. Okuma, and J. Sun, “Three-Phase PFC Rectifier Systems“, PCC-Osaka 2002 Tutorials, pp.2-93 (2002)
- (4) J. Rodriguez, Jih-Sheng Lai and Fang Zheng Peng “Multilevel inverters: a survey of topologies, controls, and applications“, IEEE Transactions on Industrial Electronics, Vol. 49, No. 4, pp. 724-738 (2002)
- (5) A. Nabae, I. Takahashi, and H. Akagi, “A New Neutral-Point-Clamped PWM Inverter”, IEEE Transactions on Industry Applications, Vol. IA-17, No. 5, pp. 518 - 523 (1981)
- (6) X. Yuan, I. Barbi, “Fundamentals of a New Diode Clamping Multilevel Inverter”, IEEE Transactions on Power Electronics, Vol. 15, No. 4, pp.711-718 (2000)
- (7) Z. Pan, F. Z. Peng, and K. A. Corzine, et al, “Voltage Balancing Control of Diode-Clamped Multilevel Rectifier/Inverter Systems”, IEEE Transactions on industry applications, Vol. 41, No. 6, pp. 1698-1706 (2005)
- (8) A. A. Sneineh, M. Wang, “Novel Hybrid Flying-Capacitor -Half-Bridge 9-Level Inverter”, IEEE Region 10 Conference TENCON (2006)
- (9) X. Kou, K. A. Corzine, and Y. L. Familant, “A Unique Fault-Tolerant Design for Flying Capacitor Multilevel Inverter”, IEEE Transactions on Power Electronics, Vol. 19, No. 4, pp. 979-987 (2004)
- (10) P. Barbosa, P. Steimer, J. Steinke, M. Winkelnkemper, N. Celanovic, “Active-neutral-point clamped (ANPC) multilevel converter technology”, European Conference on Power Electronics and Applications, (2005)

- (11) J.W. Kolar, Franz C. Zach, “A novel three-phase utility interface minimizing line current harmonics of high-power telecommunications rectifier modules”, IEEE Transactions on Industrial Electronics, Vol. 44, No. 4, pp. 456-467 (1997)
- (12) 藤田 英明：「ダイオードクランプ回路を用いた高効率線形増幅回路」，電気学会論文誌 D, Vol. 127, No. 1, pp. 9-16 (2007)
- (13) 電気学会・半導体電力変換システム調査専門委員会：「パワーエレクトロニクス回路」オーム社 (2000)
- (14) 岩谷 一生, 野口 季彦：「単一ゲートドライブ電源で駆動可能な電流形多レベルインバータ」，電気学会論文誌 D, Vol. 126, No. 1 (2006)
- (15) 野中 作太郎：「系統連系太陽光発電システムに適した単相 PWM 電流形インバータ」，電気学会論文誌 D, Vol. 114, No. 6 (1994)
- (16) 岩田 秀一, 柘川 重男, 飯田 祥二：「単相三線式系統連系用電流形インバータの検討と電池電力貯蔵システムへの応用」，電気学会論文誌 D, Vol. 123, No. 8 (2003)
- (17) 伊藤 良三, 石坂 耕一：「多重化電流形整流器のパルス幅変調法」，電気学会論文誌 D 研究開発ノート, Vol. 111, No. 9 (2001)
- (18) 上田 茂太, 本部 光幸, 本田 一男, 植田 明照, 川上 直衛：「多重式正弦波出力電流形 GTO インバータ」，電気学会論文誌 D, Vol. 111, No. 8 (2001)
- (19) 皆本 佳計, 大西 徳生：「三相電流形マルチレベルインバータの PWM 制御法」，電気学会論文誌 D, Vol. 118, No. 7/8 (1998)
- (20) 日本工業規格：JIS C 8155 「一般照明用 LED モジュールー性能要求事項」 (2010)
- (21) 別所誠, 清水恵一：「LED 照明の動向と展開」，東芝レビュー, Vol. 65, No. 7, pp. 2-7 (2010)
- (22) M. S. Shur and A. Zukauskas, “Solid-state lighting: Toward superior illumination”, Proceedings of the IEEE, Vol. 93, No. 10, pp. 1691–1703 (2005)
- (23) H. Broeck, G. Sauerlander, and M. Vendt, “Power driver topologies and control schemes for LEDs”, IEEE Applied Power Electronics Conference and Exposition (APEC), pp. 1319–1325 (2007)

- (24) 國松崇, 川邊桂太, 石田敏文:「LED 照明駆動用 IPD の開発」, パナソニック技報, Vol. 58, No. 1, pp. 18-23 (2012)
- (25) B. Wang, X. Ruan, K.Yao, and M.Xu, “A Method of Reducing the Peak-to-Average Ratio of LED Current for Electrolytic Capacitor-Less AC–DC Drivers”, IEEE Transactions on Power Electronics, Vol. 25, No. 3, pp. 592–601 (2010)
- (26) R. Dayal, K. Modepalli, L. Parsa “A direct AC LED driver with high power factor without the use of passive components”, IEEE Energy Conversion Congress and Exposition (ECCE), pp. 4230–4234 (2012)
- (27) 加藤充考, 宮澤航, 館野康晴, 「LED 駆動回路および LED 駆動方法」 公開特許公報(A), 特開 2007-123562 (2007.5.17).
- (28) “Sequential Linear LED Driver CL8800,” Supertex inc. , DSFP-CL8800, 2012, Available: <http://www.supertex.com>
- (29) S. Lynch, B. Choy, K. C, “MULTIPLE STAGE SEQUENTIAL CURRENT REGULATOR”, International Patent, WO 2012/142495 A1, 18 Oct. 2012.
- (30) 鄭 清奇, 簡 文祥, 「交流発光ダイオード回路」 公開特許公報(A), 特開 2010-272838 (2010.12.2).
- (31) M. Hartmann, S.D. Round, J.W. Kolar, “High-frequency, three-phase current controller implementation in an FPGA”, 11th Workshop on Control and Modeling for Power Electronics, pp. 1-8 (2008)
- (32) “ Compact non-dimmable LED driver IC SSL21081T”, NXP semiconductors incorporated, 2013, Available: http://www.jp.nxp.com/documents/data_sheet/SSL21081T.pdf
- (33) 斎藤 翼, 春山 真一郎, 中川 正雄:「可視光通信におけるちらつき軽減の方法」 電子情報通信学会技術研究報告. CS, 通信方式 106(450), pp. 31-35, (2007)

第3章

スイッチ数を低減した 5 レベル PWM 整流器

3.1 緒論

本章では、従来回路と比べてスイッチング素子数を低減した、新しい5レベル整流器を提案する。提案回路はダイオードクランプ方式とフライングキャパシタ方式を組み合わせた ANPC 方式を基本とする回路で、従来の半分となる 12 個のスイッチング素子で 5 レベル PWM 整流器を実現できる。提案回路は、スイッチ数を削減しながら各スイッチの耐圧を直流出力電圧の $1/4$ に低減できる。また、提案回路は ANPC 方式のクランプスイッチをダイオードで置き換えている。ANPC はクランプ回路によって中性点電位を能動的に切り替えるが、提案回路は入力電流極性に応じて受動的に変化する。ダイオードには最大で直流出力電圧の $1/2$ が印加されるため、高耐圧の素子が必要である。しかし、このダイオードはスイッチング動作を行わず、逆方向リカバリを生じないため、低導通損失の整流用ダイオードが使用でき、高効率化と低コスト化が可能である。

本章の構成を以下に示す。はじめに従来回路の構成と特徴、そして提案回路の構成と特徴、制御方法、受動素子のパラメータ設計方法について述べ、提案回路の実験結果を示す。また、提案回路適用時の体積低減効果を示すために、定量的な受動部品体積の比較を行う。さらに、系統連系時に必須となる EMC フィルタの体積について、レベル数の増加による小型化効果を検討する。

3.2 提案回路

図 3.1 に提案回路を示す。提案回路は ANPC 回路の外側スイッチをダイオードで置き換え、クランプキャパシタ C_3 を加えた構成を持つ。提案回路は、パワーフローを AC-DC 方向に限定することで従来回路と比較してスイッチ数を半分に削減する。 C_1 はフライングキャパシタで、 $1/4V_{dc}$ の電圧を保つようにスイッチングパターンを切り替えて充放電制御する。 C_3 の電位はダイオード D_{R1} , D_{S1} , D_{T1} を経て出力平滑キャパシタ C_2 の中性点電位にクランプされ、 C_2 の電位を制御すれば C_3 のバランス制御は不要である。また、ANPC 方式と比較して、内側の 3 レベルフライングキャパシタ回路の直流部に C_3 を挿入できるため、配線長が短縮され、サージ抑制効果が期待できる。

表 3.1 に提案回路の変換器入力電圧とスイッチングパターンを示す。提案回路は 2 種類のゼロレベルを含む 5 レベルを出力できる。フライングキャパシタ電圧を $V_{C1}=V_{dc}/4$ 一定とすると、No. 2 と 3, No. 6 と 7 が同一のレベルとなる。つまり、同一のレベルを保ちながら C_1 の充電、放電モードを切り替えられるため、スイッチングパターンを使い分けることによる C_1 の充放電制御が可能となる。

表 3.2 に従来回路と提案回路の回路素子数の比較を示す。これは各素子の印加電圧を $1/4V_{dc}$ 基準で見たもので、提案回路の最大の利点はスイッチング素子数が従来回路の半分となることである。またダイオードクランプ形よりもダイオードが少なく、フライングキャパシタ形よりもキャパシタが少ない。また、補助回路なしにキャパシタ電圧を制御できる特徴がある。以上から提案回路は他の 5 レベル PWM 整流器よりも低コストで実現できる。

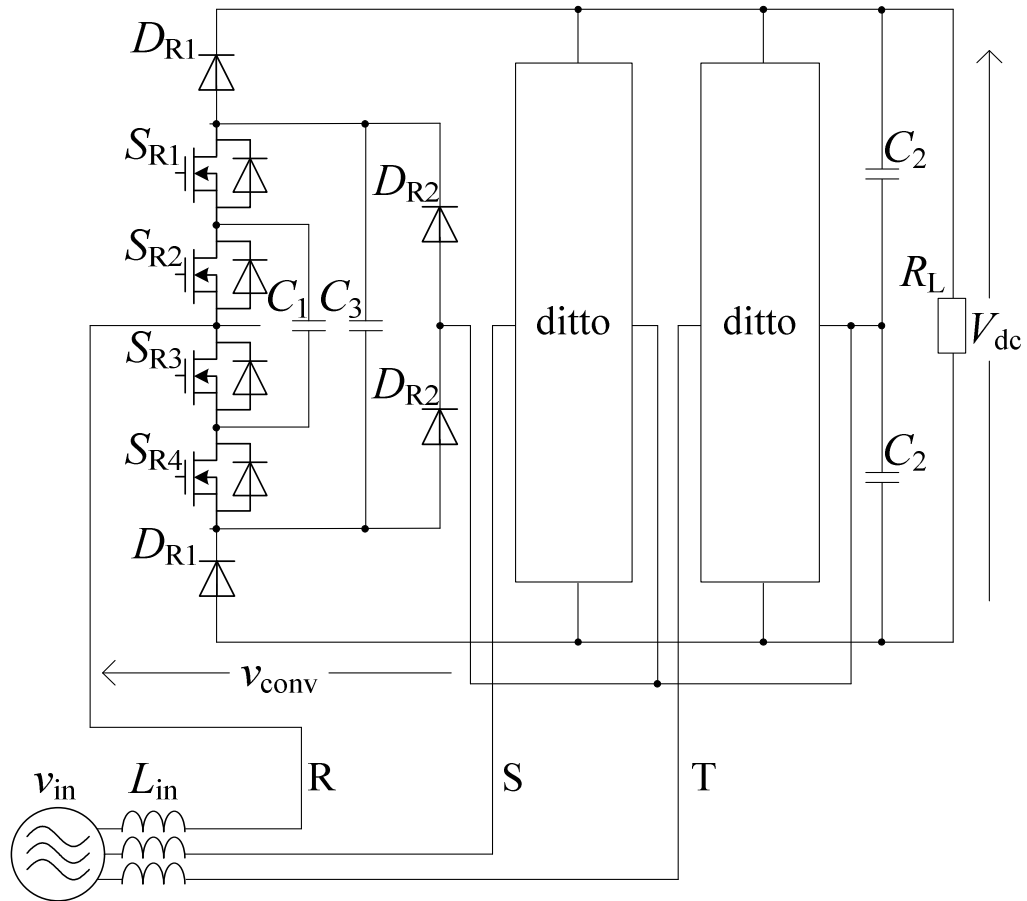


図 3.1 提案回路の構成

表 3.1 提案回路のスイッチングパターン

No.	v_{in} polarity	Flying capacitor	v_{conv}	On state switch
1	+	-	$+1/2V_{dc}$	S_1, S_2
2		Discharge	$+1/4V_{dc}$	S_1, S_3
3		Charge	$+1/4V_{dc}$	S_2, S_4
4		-	0	S_3, S_4
5	-	-	0	S_1, S_2
6		Charge	$-1/4V_{dc}$	S_1, S_3
7		Discharge	$-1/4V_{dc}$	S_2, S_4
8		-	$-1/2V_{dc}$	S_3, S_4

表 3.2 他の回路方式との比較

	Diode Clamped	Flying Capacitor	ANPC	Proposed
Switch	24	24	36	12
Diode	60	24	36	36
Capacitor	4	30	7	13
Voltage Control of C	Impossible	Possible	Possible	Possible

3.4 パラメータ設計

3.4.1 連系リアクトル

連系リアクトルのインダクタンス L_{in} は, 系統電流リプルの最大値 Δi_{in} を基準に設計する。リアクトル両端の電圧を v_L , リプルが最大となるデューティ比を α_{max} , キャリア周波数を f_{sw} とすると, L_{in} と Δi_{in} の関係は(3.1)式となる。

$$\Delta i_{in} = \frac{1}{L_{in}} \int_0^{\alpha_{max}/f_{sw}} v_L dt = \frac{v_L \alpha_{max}}{L_{in} f_{sw}} \quad \dots\dots\dots (3.1)$$

続いて, リプルが最大となるデューティ比とリアクトル両端の電圧を求める。入力相電圧 $v_{in}=V_m \sin \omega t$, 直流出力電圧 V_{dc} , フライングキャパシタおよび直流平滑キャパシタの電圧リプルで発生する, PWM 出力電圧の変動を変換器入力電圧リプル Δv_{conv} とすると, $0 \sim 30^\circ$ のときリアクトル両端の電圧は(3.2)式となる。

$$v_L = \left| V_m \sin \omega t - \left(\frac{V_{dc}}{4} + \frac{\Delta v_{conv}}{2} \right) \right| \quad \dots\dots\dots (3.2)$$

また, $30 \sim 90^\circ$ の範囲では, リアクトル両端の電圧は(3.3)式となる。

$$v_L = \left| V_m \sin \omega t - \left(\frac{V_{dc}}{2} + \frac{\Delta v_{conv}}{2} \right) \right| \quad \dots\dots\dots (3.3)$$

図 3.3 に, $V_{dc}=1, 1.2, 1.5$, $\Delta v_{conv}=1$ としたときのリアクトル両端の電圧 v_L とデューティ比 α の積を示す。デューティ比 α は(3.4)式で与える。

$$\begin{cases} \alpha = 2 \sin \omega t & (0 \leq \omega t \leq \pi/6) \\ \alpha = 2(1 - \sin \omega t) & (\pi/6 < \omega t \leq \pi/4) \end{cases} \quad \dots\dots\dots (3.4)$$

(3.1)式より, 入力電流リプルは $v_L \alpha_{max}$ に比例するので, 図 3.3 より, 入力電流リプルは $\alpha_{max}=0.5$ ($\omega t = \sin^{-1}(3/4)$) のとき最大となる。従って, 入力電流リプル Δi_{in} は,

$$\begin{aligned}\Delta i_{in} &= \left| v_m \sin(\sin^{-1} \frac{3}{4}) - (\frac{V_{dc}}{2} + \frac{\Delta v_{conv}}{2}) \right| \frac{1}{2L_{in}f_{sw}} \dots\dots\dots (3.5) \\ &= \left| \frac{3}{4} v_m - (\frac{V_{dc}}{2} + \frac{\Delta v_{conv}}{2}) \right| \frac{1}{2L_{in}f_{sw}}\end{aligned}$$

により表され、入力リアクトルは次式で計算できる。

$$L_{in} = \left| \frac{3}{4} v_m - (\frac{V_{dc}}{2} + \frac{\Delta v_{conv}}{2}) \right| \frac{1}{2\Delta i_{in}f_{sw}} \dots\dots\dots (3.6)$$

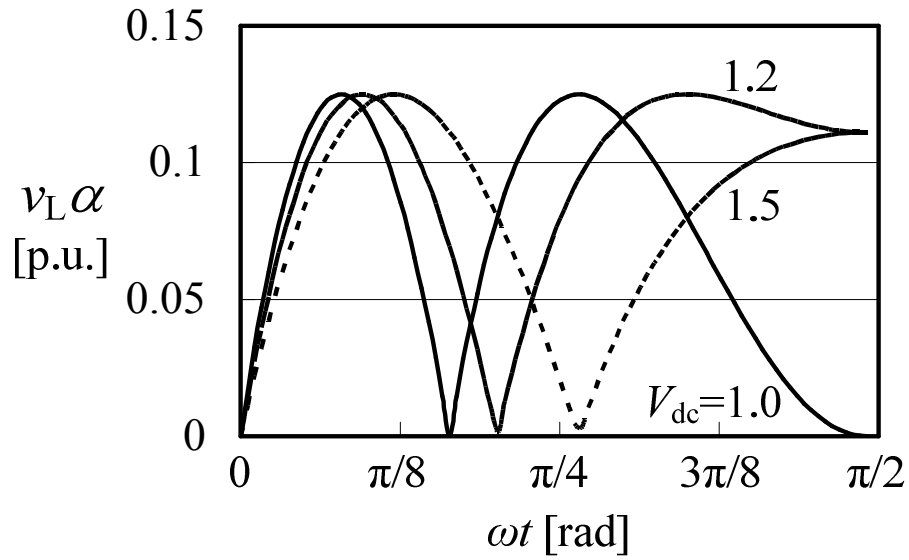


図 3.3 電源電圧位相とリアクトル電圧時間積の関係

3.4.2 フライングキャパシタ

フライングキャパシタ C_1 と電圧リプルの関係は、キャパシタ容量と電圧の関係式から (3.7) 式となる。

$$\Delta V_{C1} = 2 \left(\frac{1}{C_1} \int_0^{t_{\max}} I_{\max} dt \right) \dots\dots\dots (3.7)$$

ここで、 I_{\max} は充放電電流の最大値、 t_{\max} は C_1 の最大充放電時間であり、キャリア周波数 f_{sw} の逆数である。括弧内はキャリア 1 周期中の電圧変動 ΔV_{C1_C} を表し、係数の 2 はキャパシタ電圧が指令値を基準に $\pm \Delta V_{C1_C}$ 変動することを示している。

表 3.1 に示したように、提案回路は $\pm V_{dc}/4$ レベルを出力するときのみ、 C_1 への充放電が行われる。よって、 I_{\max} は入力電流 i_{in} と $\pm V_{dc}/4$ レベルの出力デューティ $D_{Vdc/4}$ の積で求められる。

図 3.4 に i_{in} と $D_{Vdc/4}$ を乗算した計算結果を示す。入力電流 i_{in} 、 $0 \sim 30^\circ$ の $V_{dc}/4$ レベルの出力デューティ比 $D_{Vdc/4_0-30}$ 、 $30 \sim 60^\circ$ の $V_{dc}/4$ レベルの出力デューティ比 $D_{Vdc/4_0-30}$ は次式で与えており、 $V_{dc}/4$ レベルは 0° のとき 0%、 30° のとき 100%、また、 30° のとき 100%、 90° のとき 0% と変化する。

$$i_{in} = i_{in_peak} \sin \omega t \dots\dots\dots (3.8)$$

$$D_{Vdc/4_0-30} = 2 \sin \omega t \dots\dots\dots (3.9)$$

$$D_{Vdc/4_30-60} = 2(1 - \sin \omega t) \dots\dots\dots (3.10)$$

図 3.4 より、 I_{\max} が最大となるのは $\theta = 30^\circ$ のときであり、入力電流リプル Δi_{in} を考慮すると、 I_{\max} は次式となる。

$$I_{\max} = \frac{i_{in_peak}}{2} + \frac{\Delta i_{in}}{2} \dots\dots\dots (3.11)$$

したがって、(3.11) を (3.7) 式へ代入すると、

$$\Delta V_{C1} = \frac{i_{in_peak} + \Delta i_{in}}{C_1 f_{sw}} \dots\dots\dots (3.12)$$

となり、キャパシタ容量 C_1 は(3.13)式となる。

$$C_1 = \frac{i_{in_peak} + \Delta i_{in}}{\Delta V_{C1} f_{sw}} \dots\dots\dots (3.13)$$

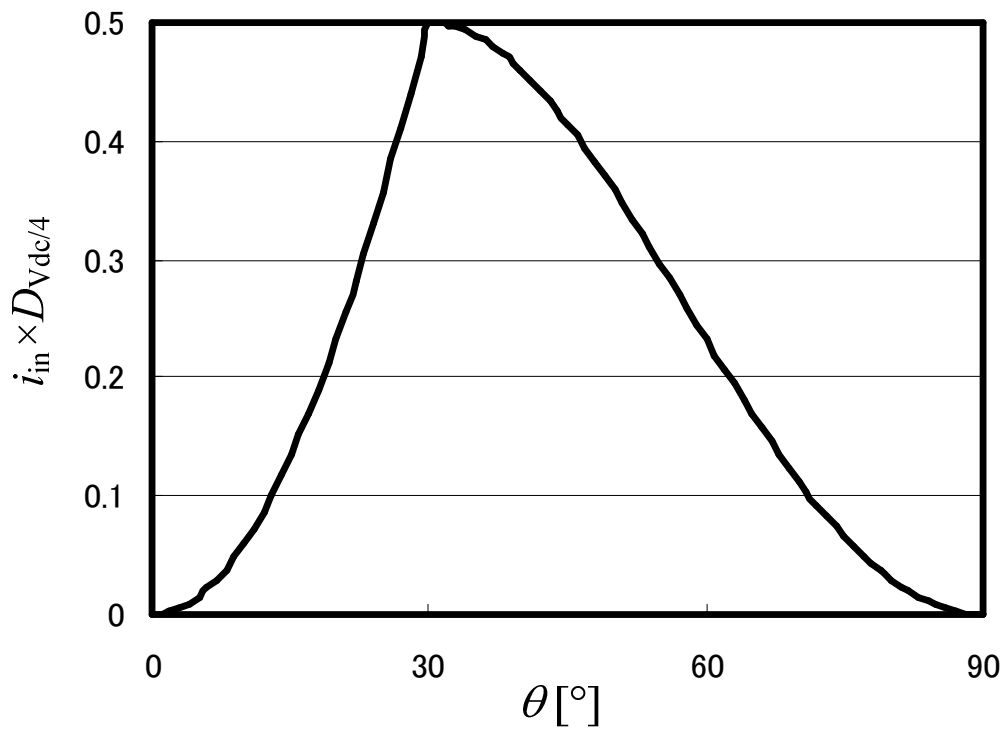


図 3.4 電源位相に対する FC 充放電電荷の係数

3.4.3 直流平滑キャパシタ

直流出力電圧リプル ΔV_{dc} と直流平滑キャパシタ C_2 の容量の関係を明らかにするには、直流中点へ流入する電荷量を求めなくてはならない。提案回路は電源位相によりスイッチングパターンが異なるため領域を分けて考える。R 相入力電流を $I_m \sin \omega t$ とすると、R 相によって $0-30^\circ$ の期間中に直流中点へ流入する電荷量 Q_{C2_0-30} 、 $30-60^\circ$ の期間で流入する電荷量 Q_{C2_30-60} はそれぞれ次式で計算できる。

$$Q_{C2_0-30} = \int_0^{T_s/12} I_m \sin \omega t (D_{0_0-30} + \frac{D_{V_{dc}/4_0-30}}{2}) dt \dots\dots\dots(3.14)$$

$$Q_{C2_30-60} = \int_{T_s/12}^{T_s/6} I_m \sin \omega t (\frac{D_{V_{dc}/4_30-60}}{2}) dt \dots\dots\dots(3.15)$$

ここで、 T_s は電源周期、 D は変換器入力電圧デューティ比であり、添え字は出力電圧レベルと出力期間を示している。また、 $V_{dc}/4$ レベルは直流中点への接続有無の2種類存在し、その頻度は $1/2$ であるため、 $V_{dc}/4$ レベルの出力デューティ比を $1/2$ としている。各デューティ比は正弦波状に変化し、 0 レベルが 0° 時 100% 、 30° 時 0% 、 $V_{dc}/4$ レベルが 30° 時 100% 、 90° 時 0% とすると各デューティは(3.16)~(3.18)式となる。

$$D_{0_0-30} = 1 - 2 \sin \omega t \dots\dots\dots(3.16)$$

$$D_{V_{dc}/4_0-30} = 2 \sin \omega t \dots\dots\dots(3.17)$$

$$D_{V_{dc}/4_30-60} = 2(1 - \sin \omega t) \dots\dots\dots(3.18)$$

また $0 \sim 60^\circ$ の期間で R 相から直流中点に流入する電荷量 Q_{np_R} は(3.19)式となる。

$$\begin{aligned} Q_{np_R} &= Q_{C2_0-30} + Q_{C2_30-60} \dots\dots\dots(3.19) \\ &= \int_0^{T_s/6} I_m \sin \omega t (1 - \sin \omega t) dt \\ &= I_m \left(\frac{4 + \sqrt{3}}{16\pi} - \frac{1}{12} \right) T_s \end{aligned}$$

直流出力電圧リプル ΔV_{dc} は電源周波数の6倍で発生するため、 $T_s/12$ の期間に直流中点へ

流入出する電荷量 ΔQ_{C2} の関係式は次式で計算できる。

$$\begin{aligned}\Delta Q_{C2} &= 2(Q_{in_R} + Q_{in_T}) - 6Q_{np_R} - Q_{out} \dots\dots\dots \\ &= 2 \int_0^{T_s/12} I_m (\sin \omega t + \sin(\omega t + \frac{\pi}{3})) dt - 6I_m (\frac{4 + \sqrt{3}}{16\pi} - \frac{1}{12}) T_s - \frac{P_n}{V_{dc}} T_s \\ &= \{I_m (\frac{1}{2} - \frac{8 + 3\sqrt{3}}{8\pi}) - \frac{P_n}{V_{dc}}\} T_s \dots\dots\dots (3.20)\end{aligned}$$

ここで、 Q_{in_R} 、 Q_{in_T} は $0 \sim 30^\circ$ の期間での R、T 相の入力電荷量、 Q_{out} は $0 \sim 30^\circ$ の期間で負荷に供給される電荷量である。入力電流リップル Δi_{in} を3相分考慮すると、直流出力電圧リップル ΔV_{dc} は(3.21)式となる。

$$\begin{aligned}\Delta V_{dc} &= \frac{1}{C_2} (3 \frac{\Delta i_{in}}{f_{sw}} + 2\Delta Q_{C2}) \dots\dots\dots (3.21) \\ &= \frac{1}{C_2} [3 \frac{\Delta i_{in}}{f_{sw}} + 2\{I_m (\frac{1}{2} - \frac{8 + 3\sqrt{3}}{8\pi}) - \frac{P_n}{V_{dc}}\} T_s]\end{aligned}$$

また、直流平滑コンデンサの容量 C_2 は、次式により求められる。

$$C_2 = \frac{1}{\Delta V_{dc}} [3 \frac{\Delta i_{in}}{f_{sw}} + 2\{I_m (\frac{1}{2} - \frac{8 + 3\sqrt{3}}{8\pi}) - \frac{P_n}{V_{dc}}\} T_s] \dots\dots\dots (3.22)$$

3.4.4 クランプキャパシタ

クランプキャパシタ C_3 の容量は直流中点の電位変動と関係しており、直流中点の電位変動は電源周期 T_s の $1/3$ で発生するため、 $T_s/6$ の期間で直流中点へ流入出する電荷量 Q_{np} は(3.23)式となる。

$$Q_{np} = 2Q_{np_R} = I_m (\frac{4 + \sqrt{3}}{8\pi} - \frac{1}{6}) T_s \dots\dots\dots (3.23)$$

直流中点の電位変動 V_{np} とクランプキャパシタ容量 C_3 の関係は次式になる。

$$\Delta V_{np} = \frac{1}{2} \frac{Q_{np}}{C_2 + C_3} + \frac{\Delta V_{dc}}{2} = \frac{I_m}{2(C_2 + C_3)} (\frac{4 + \sqrt{3}}{8\pi} - \frac{1}{6}) T_s + \frac{\Delta V_{dc}}{2} \dots\dots\dots (3.24)$$

ここで、右辺第1項の係数 $1/2$ は直流中点への入力電荷量が2つの直流平滑コンデンサ

へ均等に入力されることを示している。また、右辺第 2 項は直流出力電圧リップルの 1/2 が含まれることを示している。従って、 C_3 の容量は次式で計算できる。

$$C_3 = \frac{I_m}{2\Delta V_{np} - \Delta V_{dc}} \left(\frac{4 + \sqrt{3}}{8\pi} - \frac{1}{6} \right) T_s - C_2 \quad \dots\dots\dots (3.25)$$

なお、ここまでのキャパシタ容量計算は理論上の最小容量であり、キャパシタの特性に起因する電流リップル耐量を考慮していない。そのため、特に電流リップル耐量の低い電解キャパシタを使用する場合は、計算上の静電容量を超えるキャパシタが必要となる場合も考えられる。

3.5 実験結果

提案回路の基本動作を確認するため、1 kW 定格の実機による動作検証と、パラメータ設計の妥当性の確認を行う。表 3.3 に回路パラメータを示す。

図 3.5 に実験波形を示す。入力電流は良好な正弦波に制御できており、入力電流ひずみ率は 3.4% である。また、直流出力電圧は指令値に追従し 320V 一定となっている。また、フライングキャパシタ電圧は、 V_{dc} の 1/4 である 80 V に制御されている。

図 3.6 に直流中点から見た変換器入力電圧を示す。5 段階の階段状の波形が得られ、5 レベル動作していることがわかる。

図 3.7 に入力電流の高調波解析結果を示す。各高調波成分は基本波成分の 2% 以下に低減されている。

図 3.8 に出力電力に対する効率と力率の変化を示す。測定範囲において、力率 0.97 以上、効率 97% 以上となり、最大効率は 0.5 kW 時に 97.6% が得られた。

図 3.9 に出力電力に対する入力電流ひずみ率の変化を示す。入力電流ひずみ率は重負荷ほど低くなる。これは、高調波成分は負荷に対して変わらず一定であるのに対し、基本波成分が負荷に応じて増加するためである。

図 3.10、図 3.11 に各部のリップル観測結果を示す。また、表 3.4 に計算値と実測値の比較を示す。表 3.4 より、実測値はそれぞれ設計値以内に収まることを確認した。計算値と実測値の誤差は、配線インダクタンスにより入力電流リップルが抑制されたこと、それに伴い

各キャパシタの電圧変動が計算値よりも低減したと考えられる。

表 3.3 実験パラメータ

Output power	1 kW
Input AC voltage	200 V
Input frequency	50 Hz
Carrier frequency(f_{sw})	10 kHz
DC output voltage command(V_{dc}^*)	320 V
Load resistance(R_L)	100 Ω
Input inductor(L_{in})	2 mH
Flying capacitor(C_1)	47 μ F
DC link capacitor(C_2)	220 μ F
Clamping capacitor(C_3)	100 μ F

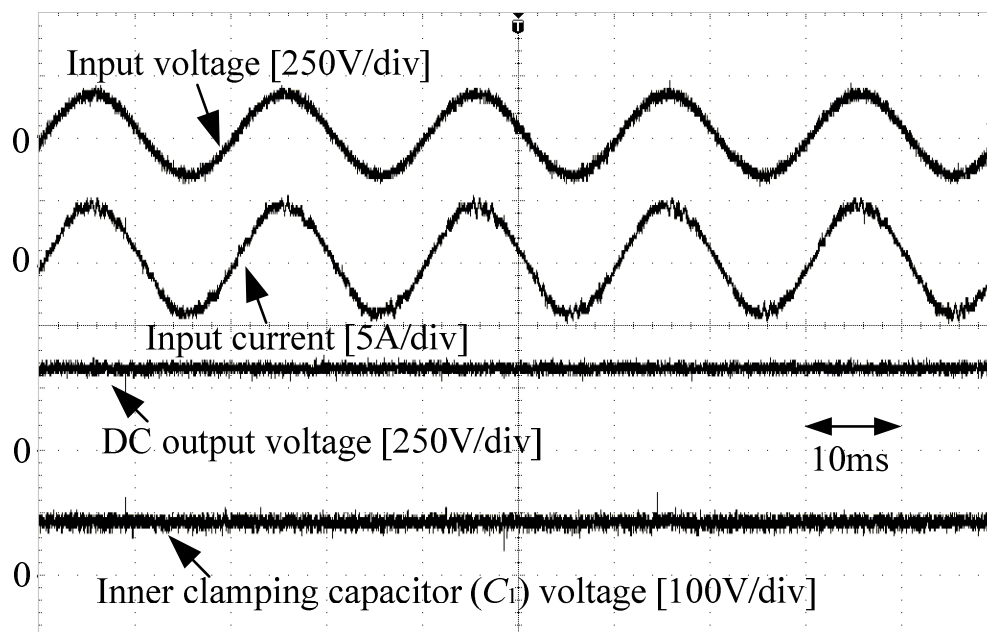


図 3.5 入力電流と直流部電圧

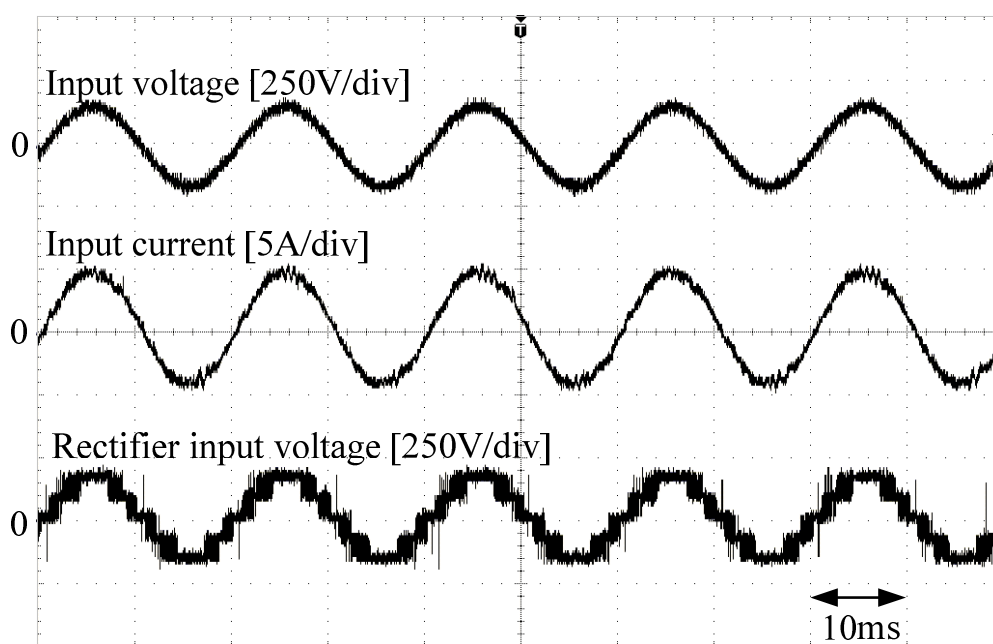


図 3.6 変換器入力電圧

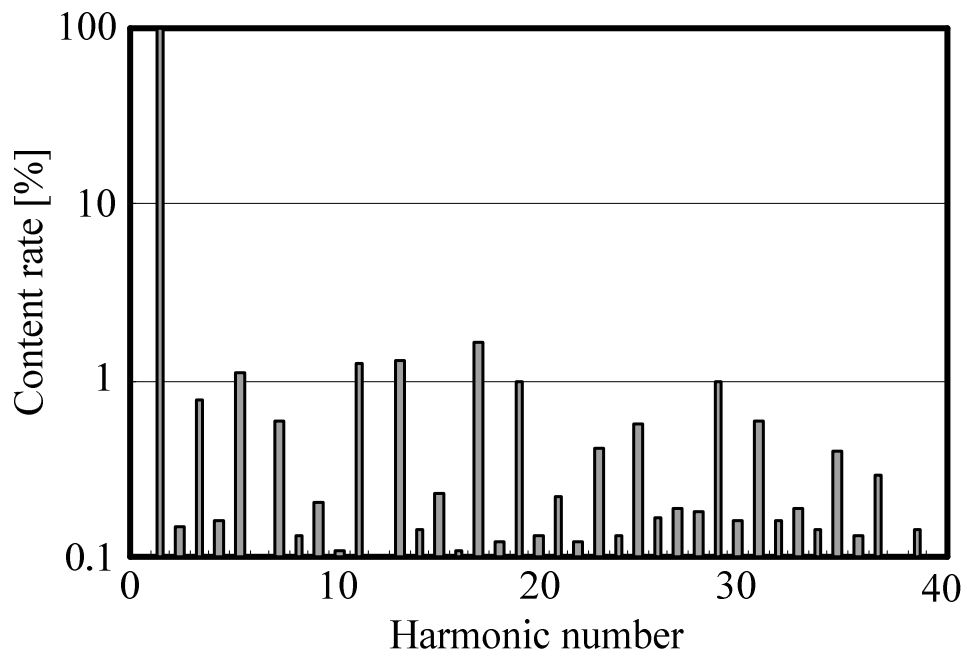


図 3.7 入力電流高調波スペクトラム

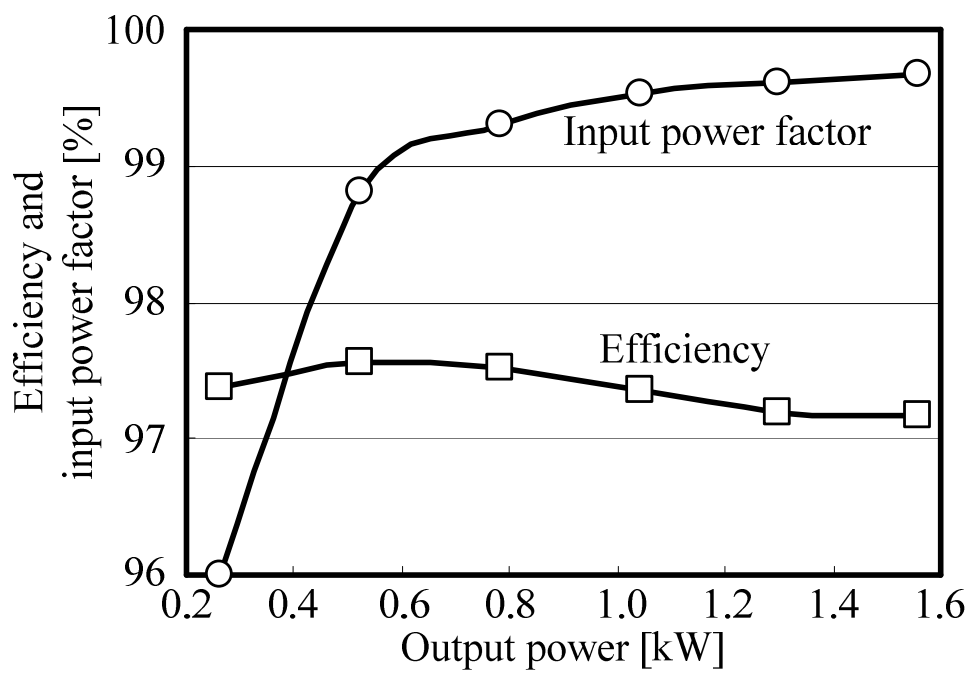


図 3.8 力率と変換効率の負荷特性

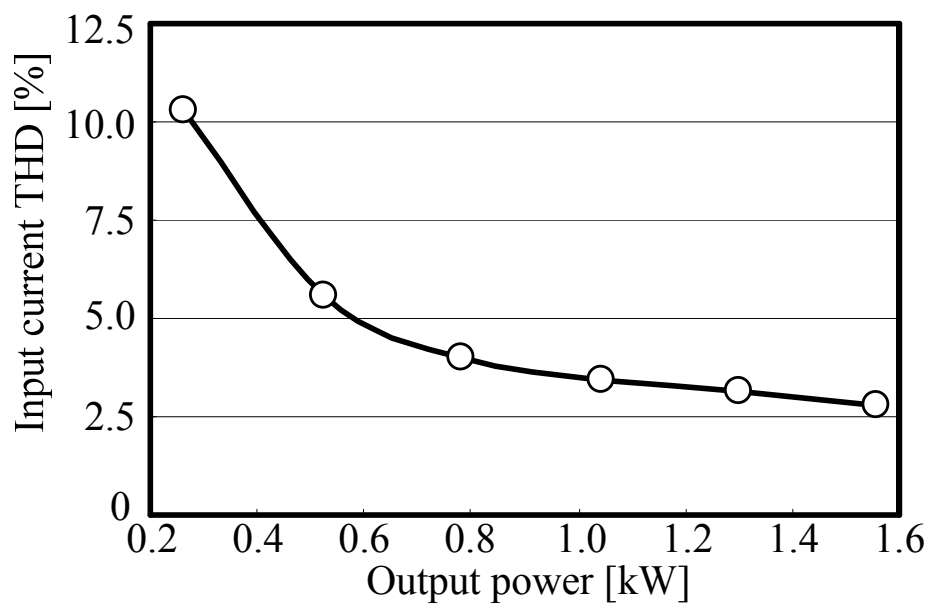


図 3.9 入力電流ひずみ率の負荷特性

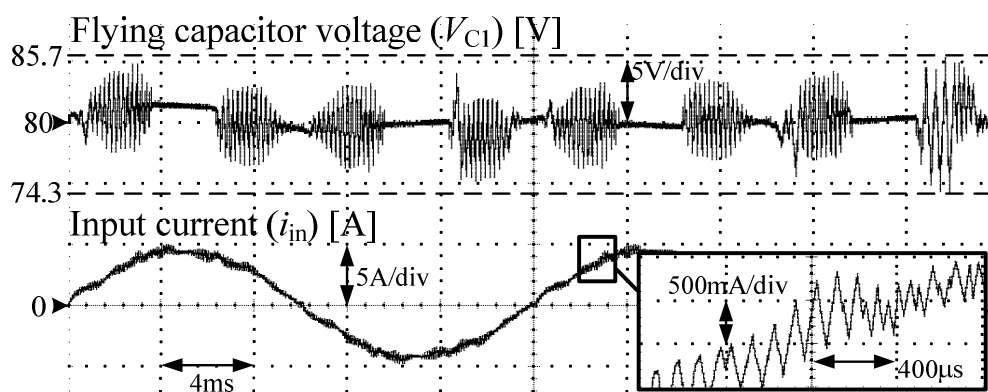


図 3.10 フライングキャパシタ電圧リプル

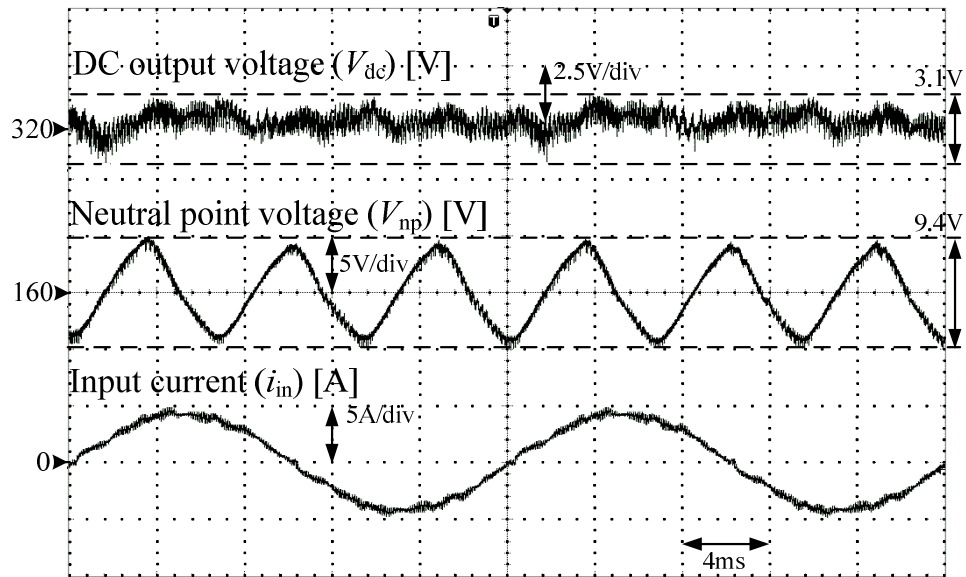


図 3.11 直流電圧リプルと直流中点電圧リプル

表 3.4 リプル計算値と実測値の比較

計算対象	計算式	計算値	実測値	備考
Δi_{in}	(3.5)	1.1 A	1.0 A	$\Delta V_{conv} = 7 \text{ V}$
ΔV_{Cl}	(3.16)	11.4 V	11 V	
ΔV_{dc}	(3.27)	3.1 V	3.0 V	
ΔV_{np}	(3.32)	9.4 V	9.2 V	

3.6 受動部品の体積検討

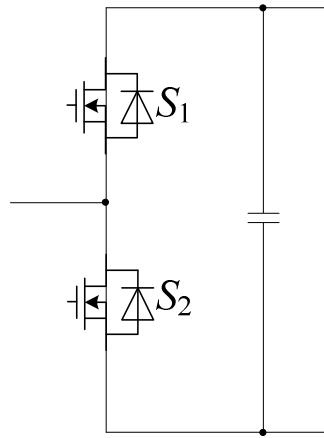
3.6.1 目的

提案回路は小型／軽量化の点から，以下の利点を有する。

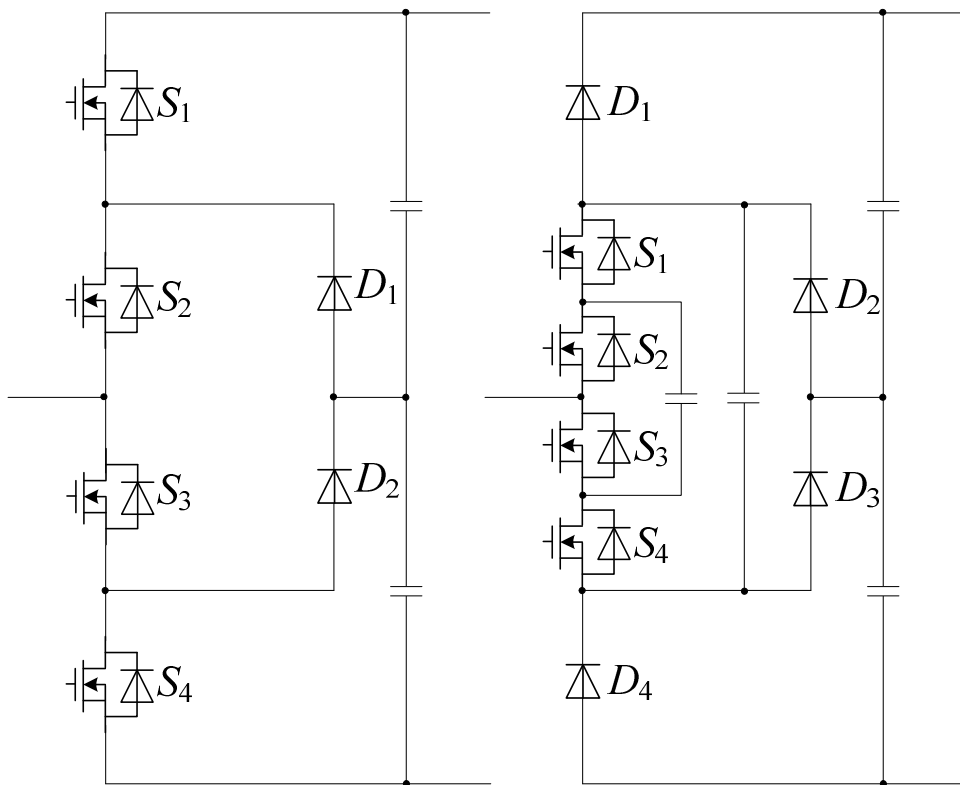
- 1, マルチレベル構成により連系リアクトルを小型化
- 2, フライングキャパシタ形よりもキャパシタ数が少ない
- 3, ダイオードクランプ形に必要なコンデンサのバランス回路が不要

比較対象となる変換器について，2，3に関しては同じレベル数で比較した場合，スイッチ数を半減できる。また，通過素子数が低減するため，導通損失の低減も可能である。

図 3.12 に比較に用いる変換器を示す。提案回路と似通った構造を持つ 3 レベルダイオードクランプ形変換器，また通常の 2 レベル変換器との比較を考えると，主回路中に使用する受動素子の容量についてトレードオフがある。提案回路は 5 レベル構成のために，連系リアクトルのインダクタンスは 3 レベル変換器と比較して $1/2$ となる。一方で 3 レベルダイオードクランプ変換器はフライングキャパシタが不要であるため，コンデンサ体積は提案回路よりも小さい。実際に設計することで，これらの回路を適用した場合のトレードオフを明らかにし，提案回路の有効な適用範囲を明確化する。



(a) 2 レベル



(b) ダイオードクランプ形 3 レベル (c) 提案 5 レベル

図 3.12 比較に用いる変換器

3.6.2 比較条件

連系リアクトルは、トロイダル形状、インダクタンス 2 mH、定格電流 4 A、コア断面積 S_c が 247 mm²、磁路長 l が 107 mm を使用する。これは提案 5 レベル回路における設計値である。このリアクトルを基準として、体積はインダクタンスに比例し、また電流の 2 乗に比例する場合を想定する。3 レベルダイオードクランプ回路との比較では、電流リプルを一定とした場合に提案回路はインダクタンスを 1/2 に低減できる。よってリアクトル体積は 1/2 となる。同様に 2 レベル回路と比較すると、インダクタンスおよびリアクトル体積は 1/4 となる。

フライングキャパシタと直流リンクコンデンサに電解コンデンサを適用する場合、3.4 節で算出した設計容量に対して、リプル耐量の考慮が必要となる。リプル電流実効値を定格電流に対する係数としてシミュレーションから求める方法が提案されている⁽⁷⁾。提案回路の動作点において文献(7)からリプル電流実効値係数を求めると、フライングキャパシタで 0.65、直流リンクコンデンサで 0.46 である。それぞれ定格電力 1 kW 時のリプル電流実効値は、定格電流 2.89 A に対して 1.87 A と 1.33 A となる。特にフライングキャパシタはリプル電圧に基づく設計では静電容量が小さく、リプル電流を許容値以下とするにはコンデンサ容量の増大、または並列接続が必要である。

図 3.13 に日本ケミコン KXG シリーズを例として、コンデンサの体積とリプル電流許容値の関係を示す。リプル電流はスイッチング周波数から 120 Hz の電流実効値に規格化している。図 3.14 より、リプル電流耐量は体積に比例することがわかる。またフライングキャパシタ用の 160V 耐圧品は、直流リンク用の 250 V 品よりも体積あたりのリプル耐量が大きい。また 2 レベル用としては 450 V 品を使用する。それぞれを最小 2 乗法により線形近似したものを(3.26)~(3.28)式に示す。

$$I_{\text{ripple_160}} = 0.2426V_c \dots\dots\dots(3.26)$$

$$I_{\text{ripple_250}} = 0.1847V_c \dots\dots\dots(3.27)$$

$$I_{\text{ripple_450}} = 0.1074V_c \dots\dots\dots(3.28)$$

図 3.14 に電解コンデンサの体積と静電容量を示す。静電容量は体積のおよそ 2 乗に比例している。それぞれの近似式を(3.29)~(3.32)式に示す。

$$C_{160} = 2 \times 10^{-6} V_c^2 + 0.0238V_c \dots\dots\dots(3.29)$$

$$C_{250} = 2 \times 10^{-6} V_c^2 + 0.0092 V_c \dots\dots\dots (3.30)$$

$$C_{250} = 7 \times 10^{-7} V_c^2 + 0.0029 V_c \dots\dots\dots (3.31)$$

以上より，フライングキャパシタは全域でリプル電圧による設計値を上回るため，リプル電流耐量による選択を行う。また直流リンクコンデンサについても，フライングキャパシタと同様にリプル電流許容値による選択となる。

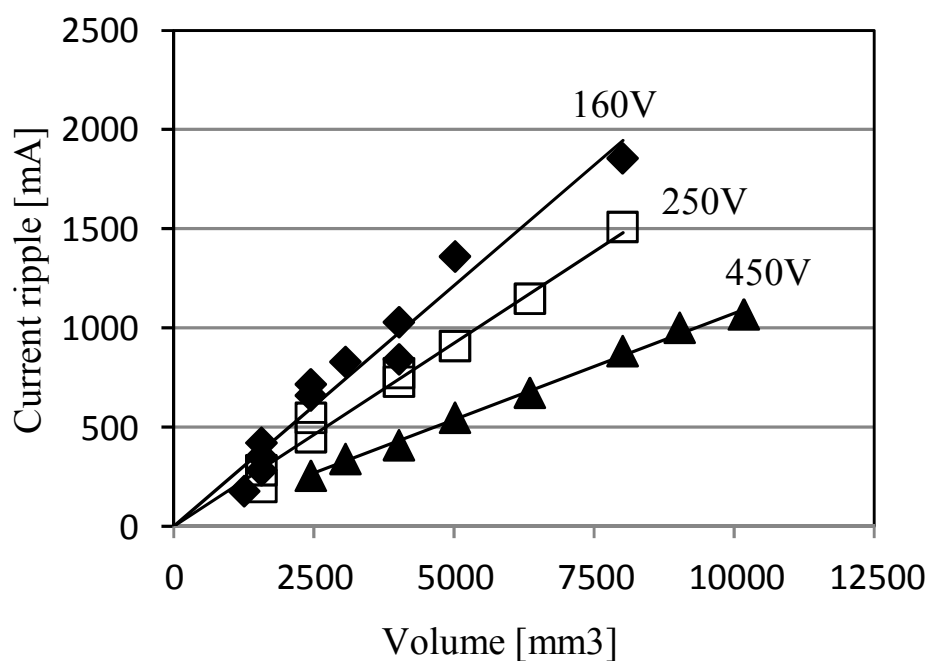


図 3.13 電解コンデンサの体積とリプル電流許容値

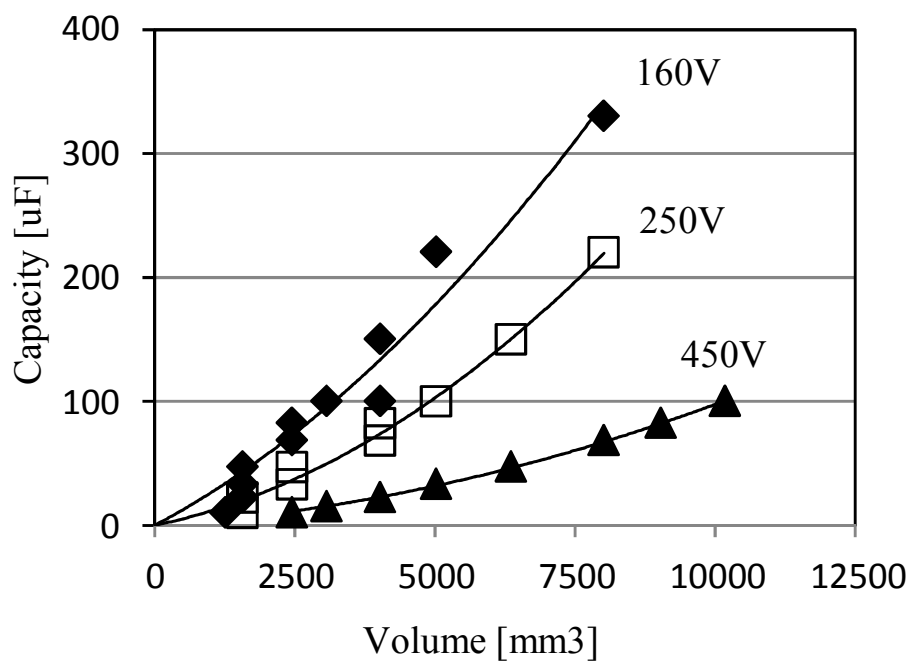


図 3.14 電解コンデンサの体積と静電容量

3.6.3 比較結果

連系リアクトルと各キャパシタの質量を試算する。電源電圧を 200 V として、変換器の定格容量を変化させた場合を考える。

図 3.15 に定格容量に対する受動部品質量の変化を示す。1 次関数の形となり、これは同一のインダクタンスを持つ昇圧リアクトルの体積が定格電流の 2 乗に比例して増加し、またリップル許容量を定格電流に対する割合で定めているため、大容量になるほどインダクタンスが低減する。質量の大半がリアクトルであり、リアクトル質量を 3 レベル比で半減できる提案回路は装置の小型軽量化に適している。

図 3.16 に定格容量に対するパワー対質量比を示す。提案回路は 1755 W/kg, 3 レベルダイオードクランプは 983 W/kg, 2 レベルは 491 W/kg となり、3 レベルに対して 1.8 倍, 2 レベルに対して 3.6 倍それぞれ向上する。

図 3.17 に提案回路と 3 レベルダイオードクランプ, 2 レベルのリアクトルとコンデンサそれぞれの質量を比較する。提案回路は 3 レベルダイオードクランプと比べてフライングキャパシタが増加するためコンデンサ質量が大きいものの, リアクトル質量を半減できる。また 2 レベルに対してはリアクトル質量を 1/4 に低減できる。

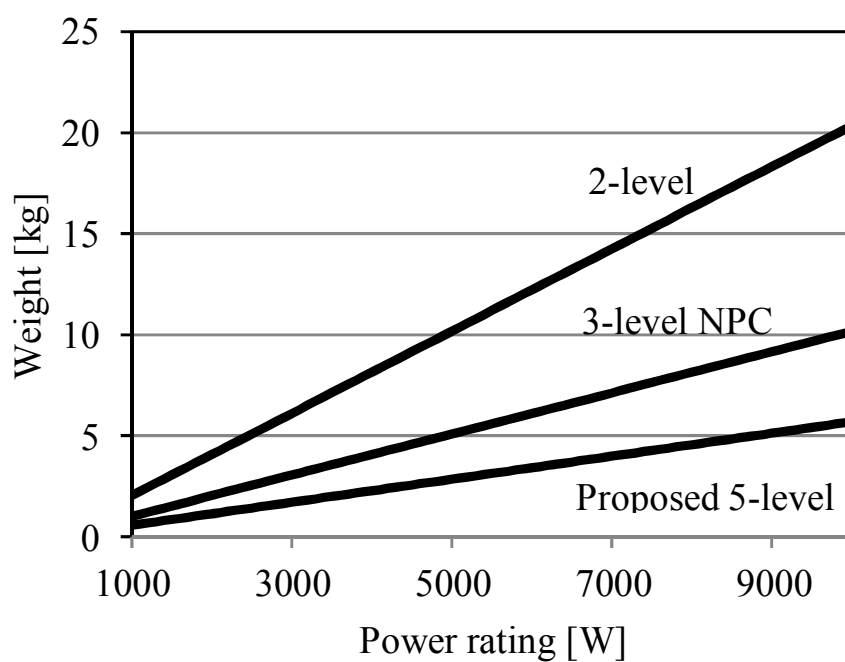


図 3.15 定格容量に対する受動部品質量

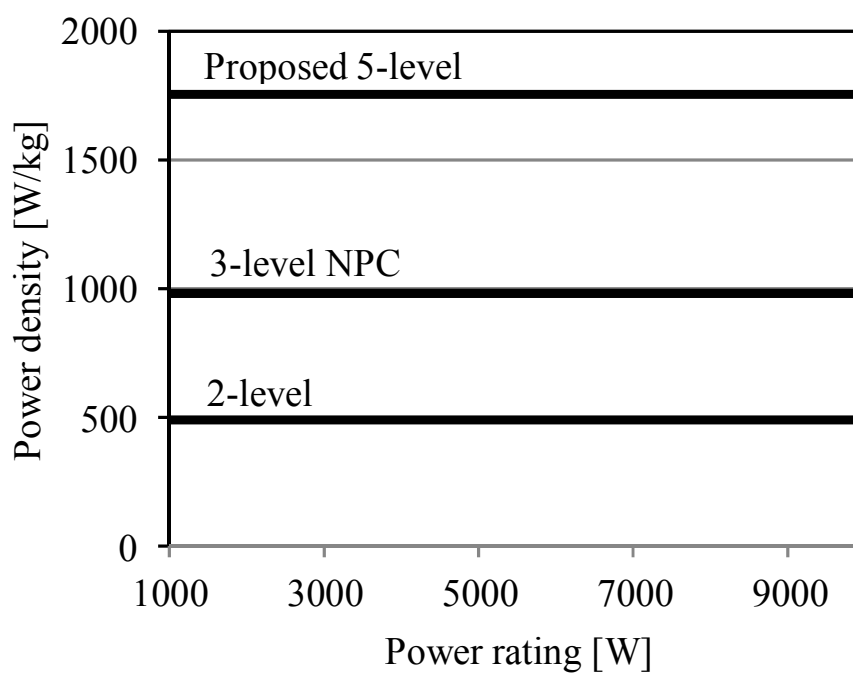
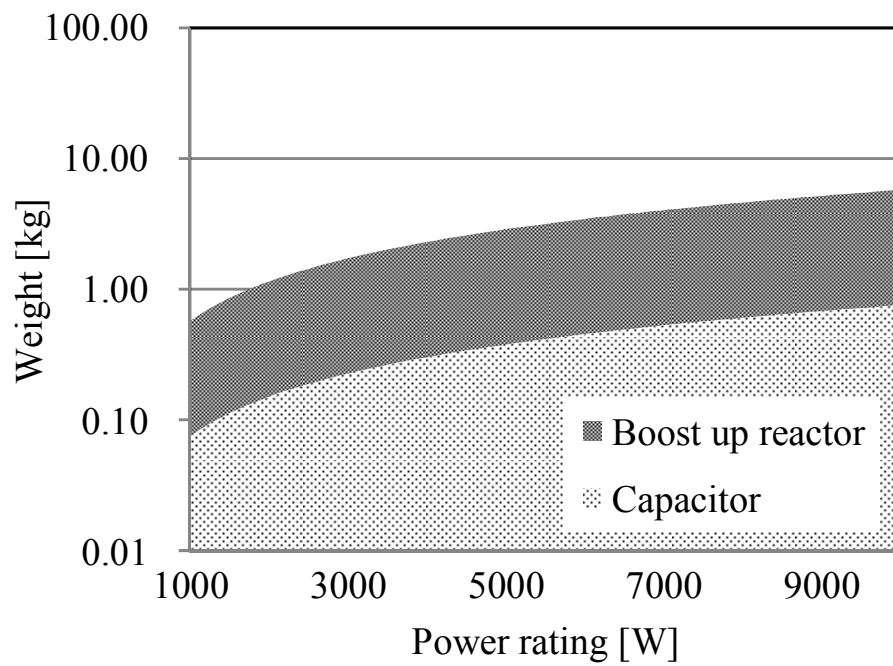
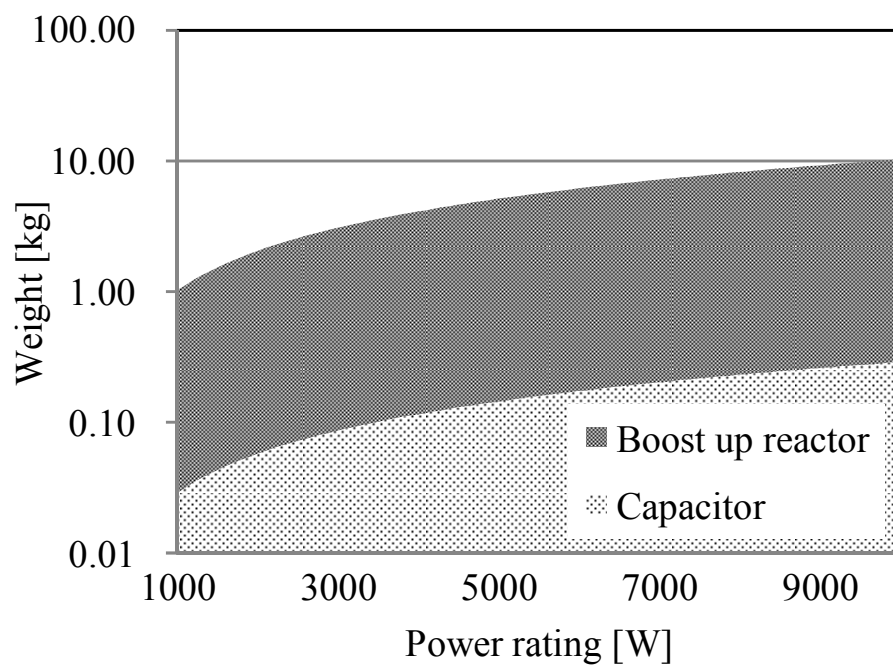


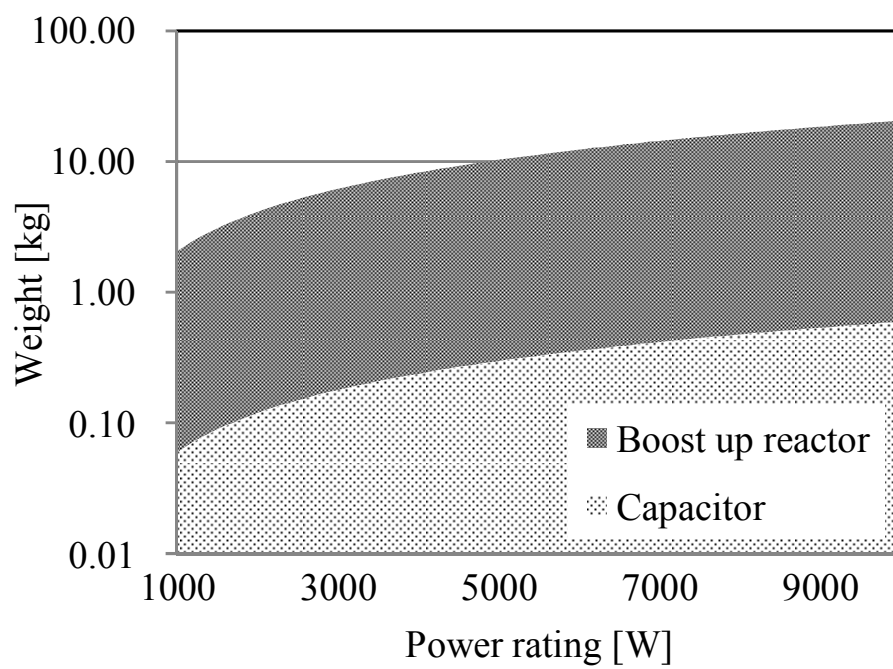
図 3.16 定格容量に対するパワー対質量比



(a) 提案回路



(b) 3レベルダイオードクランプ



(c) 2 レベル

図 3.17 質量の内訳

3.7 EMC フィルタの体積検討

3.7.1 目的

PWM 整流器はインバータと同様にスイッチング動作を行うため、各部の電位変動に伴ってノイズを発生する。よって製品では CISPR11 などの各種規格に適合させるための、EMC フィルタが必要となる。EMC フィルタの体積は、ノイズの減衰量によって決まるため、ノイズの少ない変換器を用いれば、EMC フィルタの小型化が可能である。

三相交流の電力系統に接続される機器から生じるノイズのうち、電源に漏洩するノイズ電流は疑似電源回路網(LISN)で測定し、雑音端子電圧で評価する。ノイズフィルタには、三相回路を流れる電流の種類に応じて、ノーマルモードとコモンモードの2種類がある。ノーマルモードは相間をループするノイズ、コモンモードは三相回路の零相に流れるノイズ成分を示す。ノーマルモード電流は、変換器の線間出力電圧の変動によって発生し、連系用のリアクトルとフィルタコンデンサにより抑制する。コモンモード電流は、スイッチングに伴う変換器各部の電位変動が、対地の寄生容量を通して電源側の接地点に流れることで零相成分となる⁽³⁾。

スイッチングに伴う電位変動幅を低減する回路として、マルチレベル構成が考えられる。 n レベル構成で PWM 出力電圧の変動幅を $1/(n-1)$ に低減できるため、ノーマルモードフィルタリアクトルの小型化や、入力電流高調波の低減が実現できる。実際に3レベルの Vienna 整流器を用いて、ノイズフィルタを含めた最適化検討が行われている⁽²⁾。しかし、さらにレベル数を増加させた5レベル回路との比較検討は、筆者らの知る限りない。

そこで本節では、提案回路と3レベル Vienna 整流器を用いて、ノイズフィルタ設計の比較検討を行う。LISN モデルを用いた回路シミュレーションによりノイズを測定し、ノイズフィルタを設計する。提案回路および Vienna 整流器に設計したフィルタを適用し、フィルタ体積を小型化できることを示す。

3.7.2 設計手法

図 3.18 に設計する EMC フィルタの回路構成と、電源側に挿入される LISN の等価回路図を示す。LISN の測定端子は a を使用し、検波方式は平均値とする。EMC フィルタは、コモンモードとノーマルモードそれぞれ 1 段の LC フィルタにより構成し、ノーマルモードリアクトルは PWM 整流器の連系リアクトルを兼用する。

図 3.19 にノイズ測定系の全体図を示す。PWM 整流器の各部に存在する寄生容量は、代表して最も面積が大きい直流リンク部に接地コンデンサを設ける。また直流部に負荷用の抵抗器を設置する。

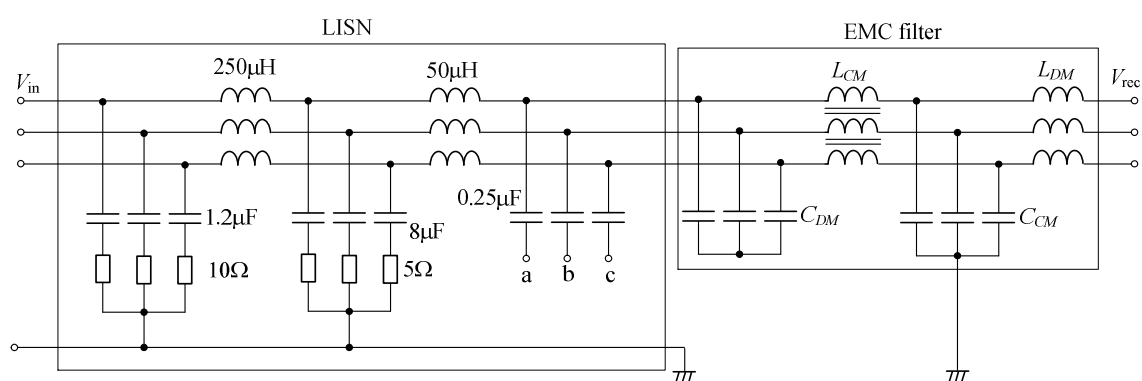


図 3.18 LISN と EMC フィルタの等価回路図

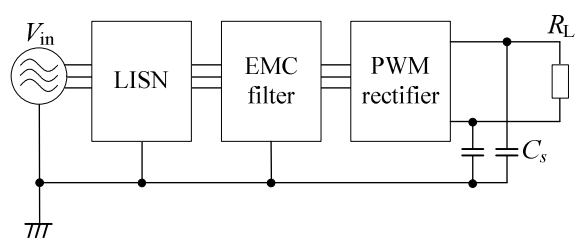


図 3.19 ノイズ測定系全体

表 3.5 設計パラメータ

Output power	3.7 kW
Input AC voltage	200 V
Input frequency	50 Hz
Switching frequency	20 kHz
DC output voltage command	350 V
Load resistance	33 Ω
Input inductor	1 mH
Flying capacitor	660 μ F
Clamping capacitor	4.7 μ F
DC link capacitor	3600 μ F
DC link stray capacitor	1000 pF

ノーマルモード用フィルタコンデンサ C_{DM} は、コモンモード用のコンデンサと比較して容量が大きく、軽負荷時の進相電流による力率低下を制限する必要がある。1 相あたりの静電容量を C_{DM} 、出力電力の負荷率 k 、許容する電流進み角 ϕ より、(3.32)式にて求める。

$$C_{DM} = \frac{\sqrt{3}kI_n\phi}{\omega V_{in}} [F] \dots\dots\dots (3.32)$$

今回の条件では、10%負荷時に進み角 5° として、表3.5のパラメータと合わせて代入し、 $C_{DM}=2.6\mu$ F とする。

ノーマルモードリアクトルは、3.2 節と同様に 2 mH とし、3 レベルの Vienna 整流器では 2 倍の 4 mH とする。

コモンモードノイズの減衰特性は(3)式で示されるため、 C_{CM} 、 L_{CM} のいずれかを加減することで、カットオフを調整する。また一般的に L よりも C のエネルギー密度が高いため、C を増加させたほうがフィルタを小型化できる。

$$Att = \frac{1}{\omega^2 C_{CM} L_{CM}} [dB\mu V] \dots\dots\dots (3.33)$$

しかし C_{CM} は接地されるため、漏洩電流 I_{leak} の上限で容量が決まり、(3.34)式で表される。

$$C_{CM} = \frac{\sqrt{3}I_{leak}}{\omega V_{in}} [F] \dots\dots\dots (3.34)$$

$I_{leak}=1 \text{ mA}$ とすると、 $C_{CM}=0.027 \text{ }\mu\text{F}$ となる。

コモンモードフィルタリアクトルは、(3.34)式により求めた C_{CM} の値と、コモンモードフィルタのない状態でシミュレーションした結果から得た、CISPR11 規格適合のために必要な減衰量 $Att[\text{dB}\mu\text{V}]$ を踏まえて、(3.35)式より求める。

$$L_{CM} = \frac{1}{\omega^2 C_{CM} Att} [H] \dots\dots\dots (5)$$

3.7.3 シミュレーション結果

図 3.20 にコモンモードフィルタの有無による雑音端子電圧の違いを示す。この測定には LISN の等価回路と、CISPR 規格で定められているスペクトラムアナライザと同様の、平均値検波処理を行う。シミュレータは Plexim 社の PLECS を使用する。またフィルタリアクトルの高周波特性を模擬していないため、1 MHz 以下の低周波領域に限って議論する。Vienna 整流器と提案回路を比較すると、160 kHz のピーク付近では提案回路が Vienna 整流器よりも 6 dB 低い。これは変換器のレベル数が 3 から 5 へと増加したことでコモンモード電圧変動幅が半減し、直流部の寄生容量を介して大地に流れるコモンモード電流が減少するためである。

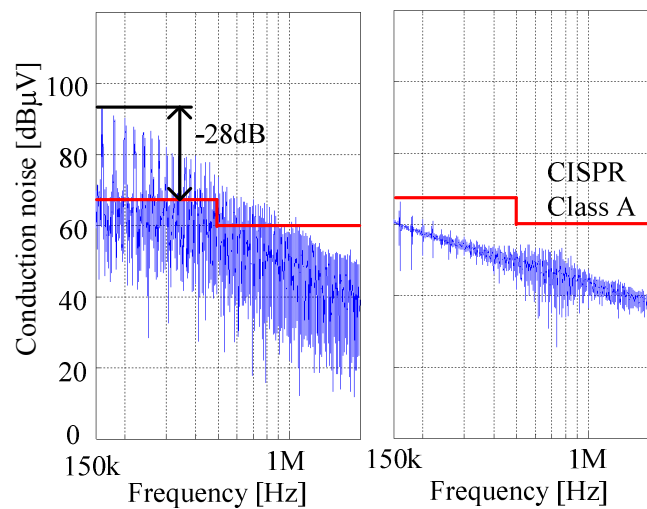
この結果から、CISPR11 のクラス A に適合させるためには、Vienna 整流器が 160 kHz のピーク付近において -28 dB μ V、提案回路が -22 dB μ V それぞれ低減する必要がある。この減衰量を得るために必要な L_{CM} を(5)式より計算すると、Vienna 整流器が 0.92 mH、提案回路では 0.15 mH となる。

図 3.20 右側に、コモンモードフィルタを適用した結果を示す。いずれも 160 kHz の設計点において、規格値近辺に抑制されている。しかし提案回路では、200 kHz の点に 81 dB のピークが残る。 L_{DM} を設計点から前後させると、ピーク周波数が移動するため、回路中の他の受動素子との共振が考えられる。

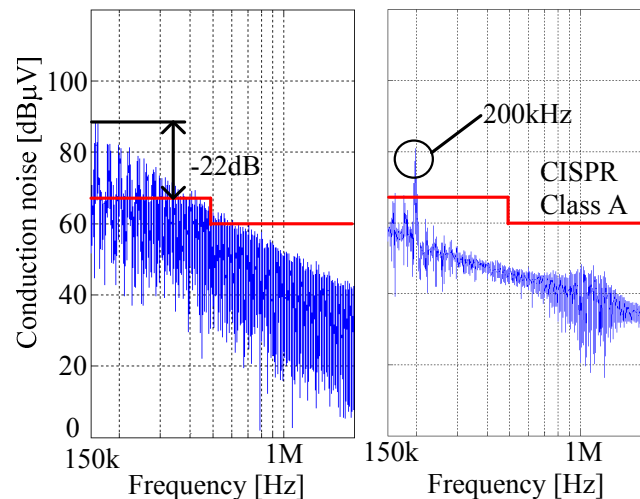
図 3.21 に L_{DM} の設計値を 2 倍とした場合の結果を示す。このとき共振ピークは低域側に

移動し、伝導ノイズの測定範囲から外れるため、 L_{CM} の設計に基づいたノイズ低減効果が得られている。今後の課題として、共振点を回避できる設計条件を明らかにする。

EMC フィルタ全体の体積について、Vienna 整流器と提案回路を比較する。コンデンサ C_{CM} , C_{DM} は同値なので、体積も同じとなる。リアクトル L_{CM} , L_{DM} は、電流定格が同一で、インダクタンスが異なる。Area Product 法に基づくと、リアクトル体積は、蓄積エネルギーの $3/4$ 乗に比例する⁽⁶⁾。よってインダクタンスの $3/4$ 乗に比例するため、 L_{CM} では 74%, L_{DM} では 41%, それぞれのリアクトル体積を低減できる。



(a) Vienna 整流器



(b) 提案回路

図 3.20 雑音端子電圧のシミュレーション結果

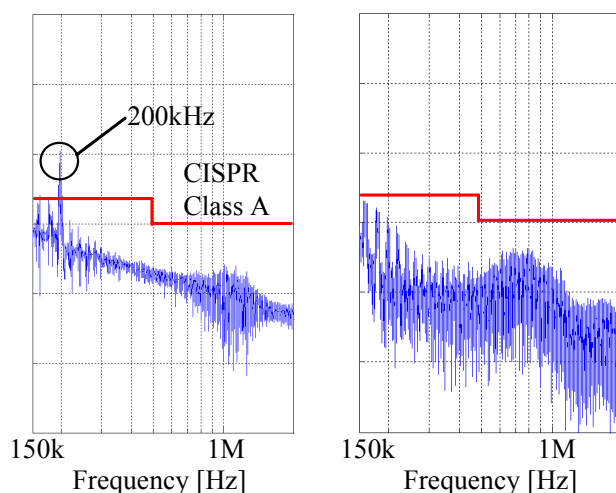


図 3.21 L_{DM} を 2 倍した場合のシミュレーション結果

3.8 結言

本章では、スイッチ数を削減した三相 5 レベル整流器を提案した。また提案回路について、受動素子の設計法を示し、実験による動作確認を行った。また、レベル数の異なる変換器との受動部品体積の比較を行った。さらに、EMC フィルタの体積についても 3 レベル変換器との違いについて考察した。

1, 定格 1kW の試作機を製作して実験を行い、電流ひずみ率 3.4% の良好な入力電流波形を得た。

2, 0.25kW~1.5kW の測定範囲において、力率 0.97 以上、効率 97% 以上の結果が得られ、最高効率 97.6% (0.5kW) が得られた。

3, 2 レベル, 3 レベル回路と受動部品体積を比較し、それぞれパワー密度を 3.6 倍および 1.8 倍に向上できることを確認した。

4, EMC フィルタの体積を 3 レベル Vienna 整流器と比較し、コモンモードリアクトルを 74%, ノーマルモードリアクトルを 41% 小型化できることを確認した。

以上の結果より、提案する 5 レベル PWM 整流器は、従来の 3 レベルや 2 レベルの PWM 整流器と比較し、より小さい受動部品を使用できることから、パワー密度の向上と小型化に有利である。

参考文献

- (1) Jun-ichi Itoh, Yuichi Noge, and Taketo Adachi, "A novel five-level three-phase PWM rectifier using 12 switches", IEEE Energy Conversion Conference and Exposition (ECCE 2009), pp.3100-3107 (2009)
- (2) M. Hartman, H. Ertl, J. W. Kolar: "EMI filter design for high switching frequency three-phase/level PWM rectifier systems" Applied Power Electronics Conference and Exposition 2010 (APEC 2010), pp.986-993 (2010)
- (3) Marcelo Lobo Heldwein, "EMC Filtering of Three-phase PWM Converters" ETH Zurich, (2007)
- (4) J. W. Kolar, H. Ertl, F. C. Zach, "Design and Experimental Investigation of a Three-Phase High Power Density High Efficiency Unity Power Factor PWM (Vienna) Rectifier Employing a Novel Integrated Power Semiconductor Module", IEEE Applied Power Electronics Conference and Exposition (APEC 1998), Vol.2, pp.514-523 (1998).
- (5) J. Itoh, Y. Noge, "Evaluation of power density of a reduced switch count five-level three-phase PWM rectifier for aircraft applications", Proceedings of the 6th Integrated Power Electronics Systems, pp.1-6 (2010)
- (6) Wm T Mclyman: "Transformer and inductor design handbook", Marcel Dekker Inc. (2004)
- (7) 檜原有吾, 伊東淳一: 「5レベルアクティブダイオードクランプインバータのパラメータ設計」, 電学論 D, Vol. 131, No. 12, pp. 1383-1392 (2011)

第4章

スイッチ数を低減した PWM 整流器の 高周波電源への適用

4.1 緒論

本章では、3 章で提案したスイッチング素子数を半減した新たな 5 レベル PWM 整流器を、高周波電源用途に適用し、その際の問題点と対策法を示す。また提案回路を高周波電源用途に適用した際の制御特性を、実験により明らかにする。

本章の構成は以下のようにになっている。まず、提案する整流回路の特徴及び動作を紹介する。次に高周波入力において問題となる波形ひずみについて、発生原因と補償法を説明し、動作特性を実機検証する。電源周波数 400 Hz と 800 Hz 時の動作波形を示し、高周波電源システムに適用可能であることを示す。

4.2 高周波電源適用時の課題と対策

提案回路はスイッチ数を削減するために、パワーフローを AC から DC の一方向に限定している。このため、万が一制御器が誤作動した場合においても、航空機のエンジンに接続された発電機に向かって力行動作しないことが保証されており、保護上の観点から都合がよい特性である。しかし、以下の 3 つの問題がある。1 つ目は変換器と系統間に接続された連系リアクトルに発生する電圧による、変換器入力電圧と入力電流の位相差、2 つ目は制御器のサンプリング遅れに起因する、スイッチングパターン極性切り替えの遅れに伴

う誤差である。3 つ目に、高周波電源に PWM 整流器を適用すると、スイッチング周波数と電源周波数の周期が商用系統と比較して近い値となり、ビート電流によるひずみを生じる。

4.2.1 リアクトル電圧の位相補償

図 4.1 にシステムの単相等価回路図と電圧ベクトル図を示す。提案回路では d-q 座標の角度情報を電源電圧から検出する。しかし、実際に変換器が出力する電圧 V_{conv} は、連系リアクトルに印加される電圧 V_L による遅れ位相 $\Delta\theta$ を伴うため、 $\Delta\theta$ を考慮した位相で V_{conv} を出力する必要がある。

図 4.2 に入力電圧とコンバータ出力電圧領域の分割を示す。スイッチングパターンは入力電圧位相を基準に選択する。系統力率 1 の運転条件では、 V_L の影響で系統電流に対して V_{conv} が遅れる。しかし、提案回路はパワーフローの制限により無効分の電流を出力できない。これは提案回路の電流経路にクランプダイオードが存在することから、電流方向が一方方向に制限されるためである。中でも直流中点に接続される 0 V 出力パターンは、電流極性に合わせて S_1, S_2 または S_3, S_4 オンのスイッチングパターンを切り替える必要がある。特に系統電流 I_s の極性切り替わり付近において、 I_s と V_{conv} の位相差によってスイッチングパターンと I_s の極性が不一致となった場合、直流中点への電流経路が遮断され、 $+1/2V_{\text{dc}}$ または $-1/2V_{\text{dc}}$ の誤った出力電圧パルスが生じ、入力電流ひずみを生じる。

図 4.3 にスイッチングパターン極性に起因する入力電流ひずみを改善するための、出力電圧位相補償器の構成を示す。電源周波数を f_{in} [Hz] とすると、 V_s と V_{conv} の位相差 $\Delta\theta$ [rad] は(4.1)式で表される。

$$\Delta\theta = \tan^{-1} \frac{2\pi f_{\text{in}} L_{\text{in}} I_s}{V_s} [\text{rad}] \dots\dots\dots (4.1)$$

f_{in} は制御器内の d-q 座標回転速度から検出する。この $\Delta\theta$ を電源電圧より検出した角度に加算する。また 0 V のスイッチングパターンは系統電圧極性に基づいて切り替え、誤った出力電圧パルスの発生を防止する。

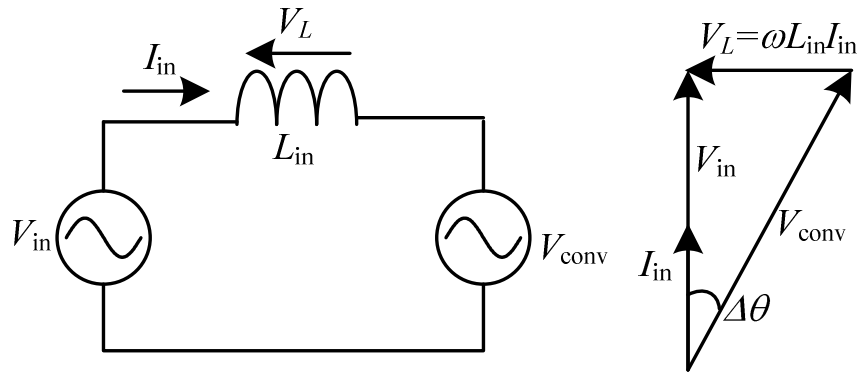


図 4.1 連系リアクトルの電圧ベクトル

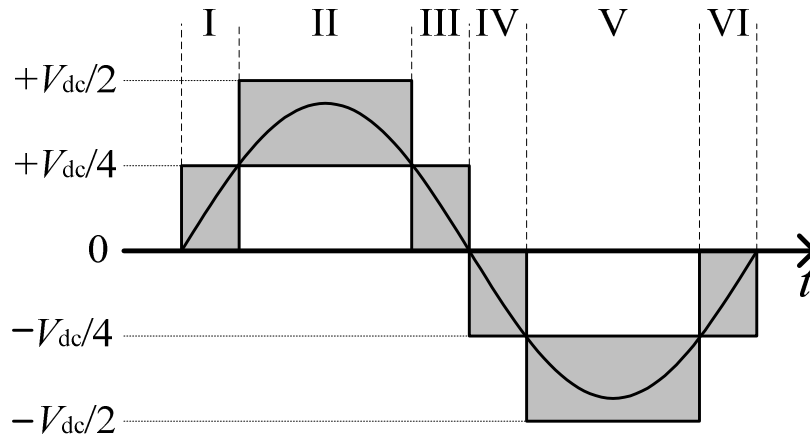


図 4.2 入力電圧と変換器出力電圧の範囲

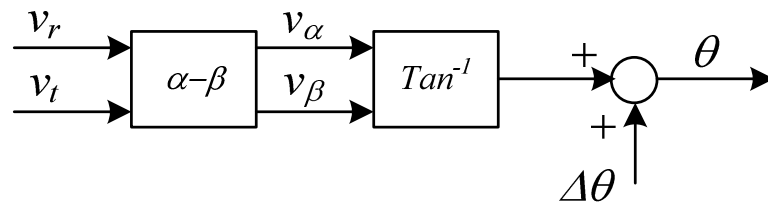


図 4.3 リアクトル電圧補償器

4.2.2 極性切り替え遅れの低減

提案回路では入力電流極性によってスイッチングパターンを切り替える必要があり、一般的なキャリア同期でパターンを切り替える制御器（以下同期極性切り替え）を使用すると、切り替えタイミングまで待ち時間があるので、遅れが生じる。遅れ時間を短縮するためにスイッチング周波数を高く設定すると、スイッチング損失の増加による変換効率の低下や、制御器の A/D 変換器と計算速度の向上によるコスト上昇の問題がある。

図 4.4 を用いて、入力電圧が負から正に切り替わる点における問題点を説明する。領域 IV におけるスイッチングパターンは Table 1 No.5 に示す+0V 出力である。(a)は通常動作であり、入力電流は中性点から流出する方向となる。入力電圧が正に切り替わる点の極性検出が遅れた場合、スイッチングパターンは領域VIの状態に保持される。入力電流はクランプダイオードに阻止され中性点に流れず、(b)の経路を通り+1/2 V_{dc} に接続される。この結果、本来は+0V と+1/4 V_{dc} でスイッチングすべき Fig.5 領域 I の出力電圧が、キャリア周期による遅れの間+1/2 V_{dc} と+1/4 V_{dc} となり、入力電流にひずみを生じる。

同期極性切り替えでは、入力電圧極性の検出が制御器の割り込み発生直後のみとなるため、キャリア周波数が 26.7 kHz の場合、遅延時間は最短で 1 キャリア周期 37.5 μ s から、最大で 2 周期分 75.0 μ s まで変化する。遅延時間は変換器入力電圧誤差となり、入力電流にひずみを生じる。この変換器入力電圧誤差は電源周期 $1/f_m$ とキャリア周期 $1/f_c$ の最小公倍数から決まる長周期のビート電流として現れる。ビート電流の周波数 f_{beat} は(4.2)式で表される。

$$f_{beat} = \frac{1}{\{1/f_m, 1/f_c\}} \dots\dots\dots (4.2)$$

このビート電流は電源周波数よりも低く、発電機や連系リアクトルの騒音や振動などの問題を生じる。

極性切り替わり付近の 0 V 出力スイッチングパターンを、キャリア周期と非同期に切り替える（以下非同期極性切り替え）ことで、スイッチング周波数を上昇させずに遅れを低減する。具体的には入力電圧検出回路に付随した電圧極性判定回路の出力を、FPGA 内部のカウンタクロック 20 MHz でサンプリングし、0 V パターンの極性をキャリア周期と非

同期で瞬時に切り替える。この場合、入力電圧極性反転から 0 V パターンが切り替わるまでの遅れ時間は、電圧極性検出回路の遅延とデッドタイムが支配的となる。今回の実験では非同期極性切り替えの遅延時間は $15\ \mu\text{s}$ となる。キャリア周波数が $26.7\ \text{kHz}$ の場合、キャリア周期の $37.5\ \mu\text{s}$ に対して遅れ時間が大幅に短縮される。また非同期極性切り替えのもう一つの利点として、極性切り替えタイミングの時間方向の離散化誤差を一定に保てるので、(4.2)式のビート成分を抑制できる。

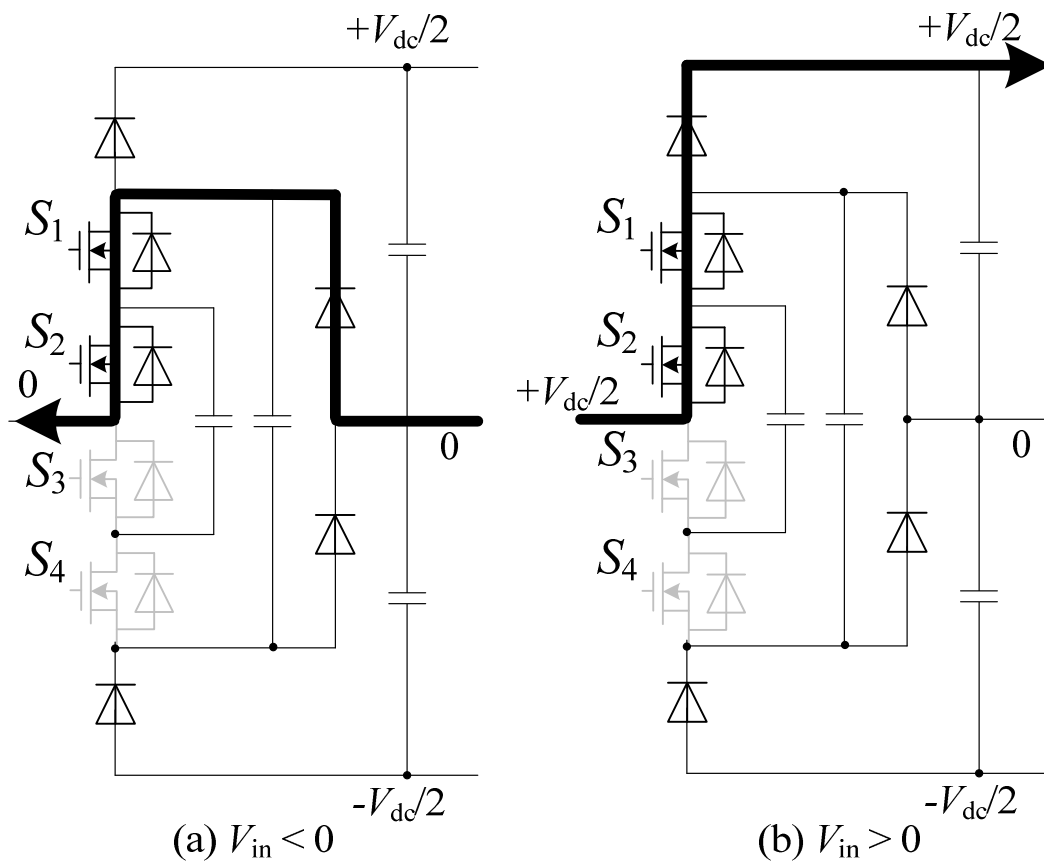


図 4.4 スイッチングパターンの誤り例

4.2.3 同期 PWM 制御

これまでの 2 種類の波形改善手法により，入力電流ひずみとビート電流は低減できる。しかし非同期 PWM 制御を使用する以上，電源周波数とキャリア周波数の比が 3 の倍数でない条件では，スイッチングパターンの非対称性から逆相成分が発生する。そこで電源周期に対してスイッチング回数を 3 の奇数の整数倍に設定することで対称性を向上させる，同期 PWM 制御を加える。

図 4.5 に同期 PWM 制御器の構成を示す。提案回路は回転座標上において入力電流制御を行うため，電源電圧の角度 θ を検出する。この電源角度の変化率を後退差分により求め，電源周波数 ω を検出する。検出した電源周波数はノイズを多く含むため，100 Hz のローパスフィルタにより安定化し，電源周波数の検出値 ω_{pf} を得る。

図 4.6 に同期 PWM 制御適用時の電源周波数と，それに対応する電源 1 周期あたりのスイッチング回数を示す。電源周波数の検出値 ω_{pf} より，対応するパルス数を決定する。パルス数切り替え点には，チャタリングを回避するため 10 Hz のヒステリシスを設ける。キャリア周波数範囲は 22~26 kHz とする。この範囲は，下限が入力電流リップルと電流制御器の安定性，上限が制御器の計算速度とスイッチング損失の許容量により決まる。キャリアのカウンタクロック 20 MHz を，決定したキャリア周波数で除算し，次の周期のキャリアカウンタ値に設定する。

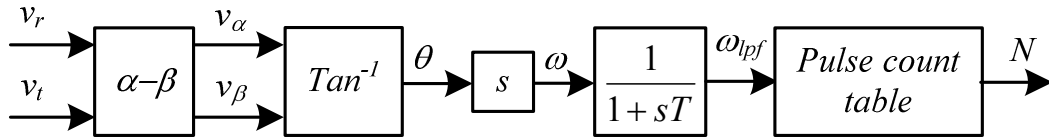


図 4.5 同期 PWM 制御器

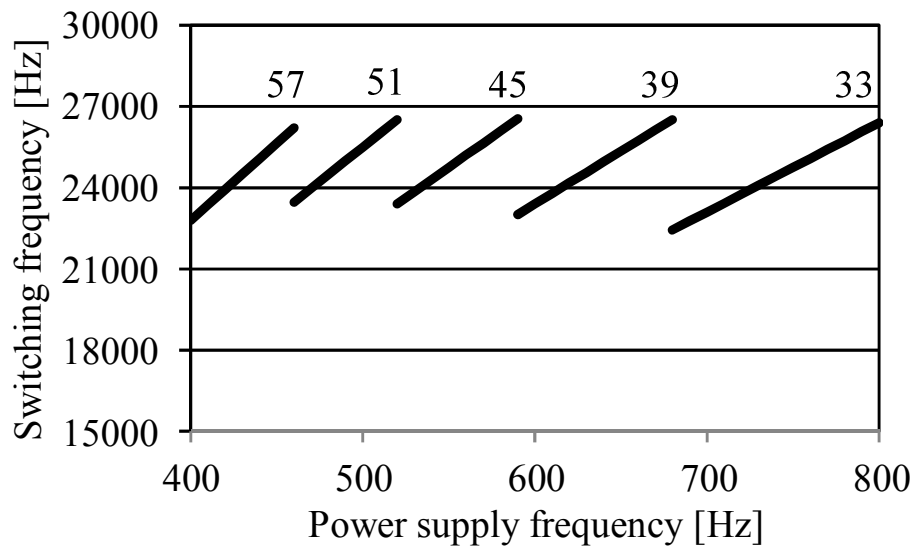


図 4.6 パルス数参照テーブル

4.3 実験結果

4.3.1 高周波電源対応

表 4.1 に示す実験パラメータにより，提案回路の動作を実機実験により確認した。実験は以下の 4 条件で行った。

1. 連系リアクトル電圧補償なし，同期極性切り替え，非同期 PWM 制御
2. 連系リアクトル電圧補償あり，同期極性切り替え，非同期 PWM 制御
3. 連系リアクトル電圧補償あり，非同期極性切り替え，非同期 PWM 制御
4. 連系リアクトル電圧補償あり，非同期極性切り替え，同期 PWM 制御

交流電源は高周波発電機を模擬するために電源環境シミュレータ（NF 回路設計ブロック製 4400）を使用し，周波数は航空機電源を想定した 400~800 Hz とする。またデッドタイム 500 ns を各スイッチのターンオンに付加する。

表 4.1 実験パラメータ

Output power	0.9 kW
Input AC voltage	200 V
Input frequency	400~800 Hz
Switching frequency	26.7 kHz
DC output voltage command	350 V
Load resistance	130 Ω
Input inductor	2 mH
Flying capacitor	47 μ F
Clamping capacitor	100 μ F
DC link capacitor	220 μ F

図 4.7 の連系リアクトル電圧補償と同期極性切り替えを使用する場合、連系リアクトル電圧の影響により、極性切り替わり付近で入力電流と変換器のスイッチングパターン極性が一致せず、電流波形がゼロに停滞する。その結果電流制御系の過渡応答が生じ、入力電流波形が振動的になる。このとき入力電流の全高調波ひずみ率は 6.5%である。

図 4.8 の連系リアクトル電圧補償と同期極性切り替えを行う場合では、極性切り替わり付近の電流停滞が減少する。このとき入力電流の全高調波ひずみ率は 3.6%と、連系リアクトル電圧補償を行わない場合と比較して 45%低減する。しかし極性切り替わり付近で大きくひずむ場合があり、これはサンプリング遅れの影響が大きく出たときに発生する。また電流波形のピーク両肩のひずみは、3 相構成の他相の影響である。

図 4.9 の連系リアクトル電圧補償と、スイッチングパターン非同期切り替えを併用した場合では、入力電流の全高調波ひずみ率は 3.3%となった。また図 4.8 に見られた入力電流極性切り替わり付近のひずみが減少している。

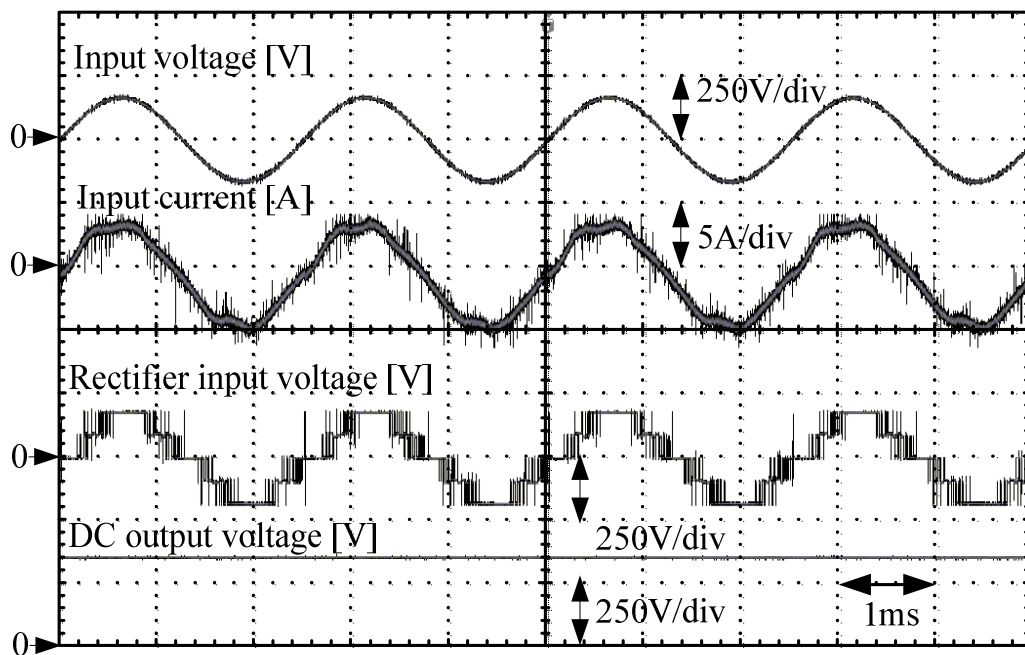


図 4.7 400 Hz 補償なし（条件 1）THD: 6.5%

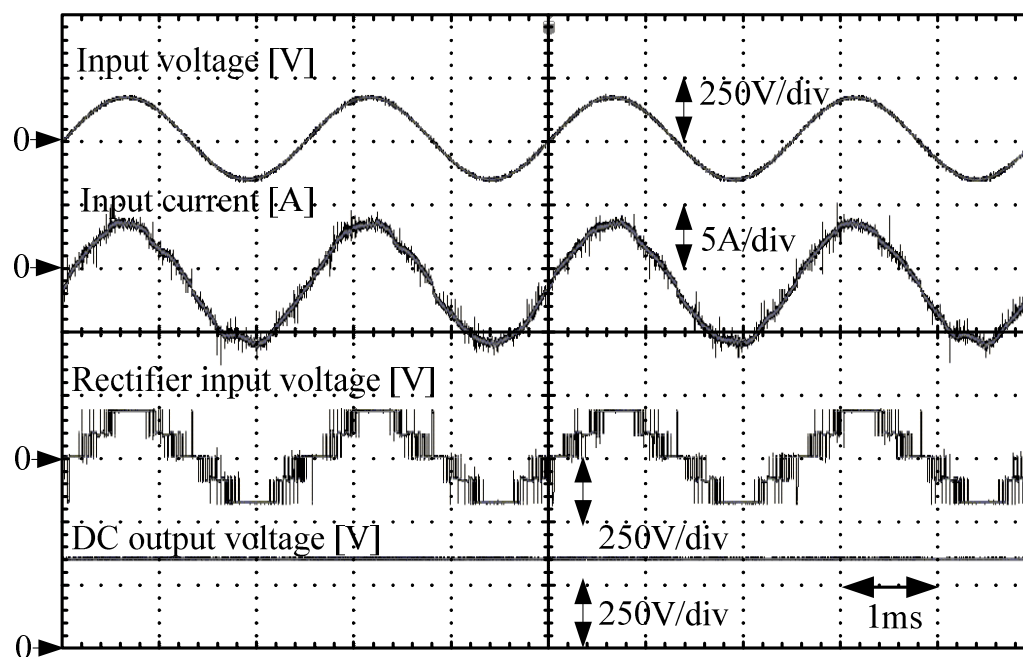


図 4.8 400 Hz リアクトル電圧補償のみ (条件 2) THD: 3.6%

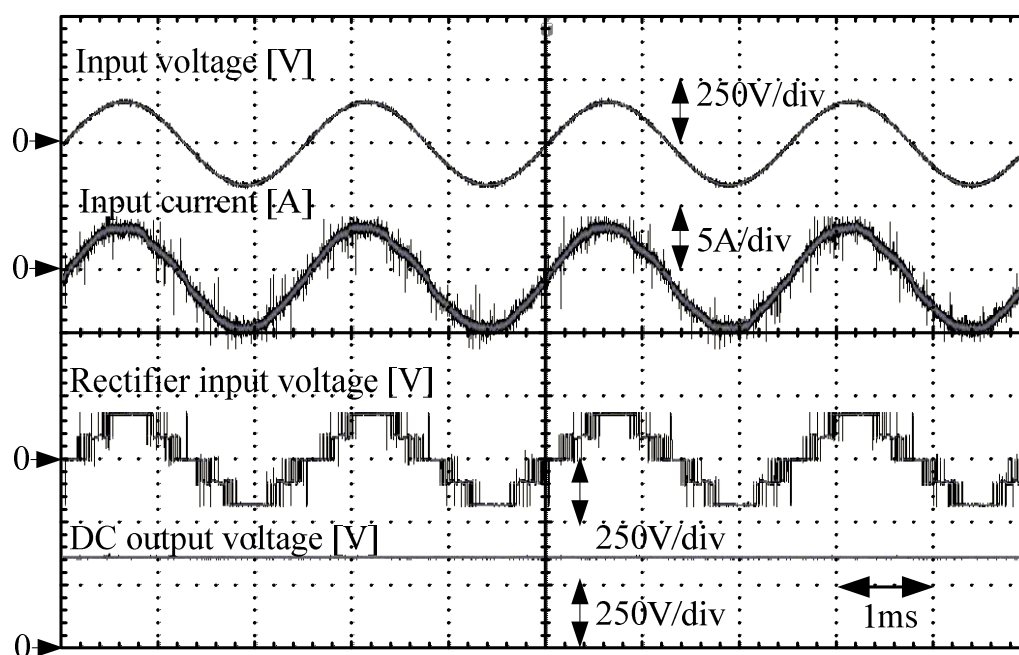


図 4.9 400 Hz 非同期極性切り替え (条件 3) THD: 3.3%

図 4.10 に連系リアクトル電圧補償と同期極性切り替えを用いた場合の 800 Hz 動作波形を示す。入力電流の全高調波ひずみ率は 3.13%と 400 Hz 動作よりも 12%低下するが、実際の波形のひずみは 400 Hz 動作時より大きい。これは電源周波数の上昇により、電源周波数とキャリア周波数との差が小さくなり、PWM の分解能が低下した結果、極性切り替え時の $+1/2V_{dc}$ または $-1/2V_{dc}$ の誤差電圧パルス幅が相対的に増加し、電流波形に上下非対称なひずみを生じるためである。

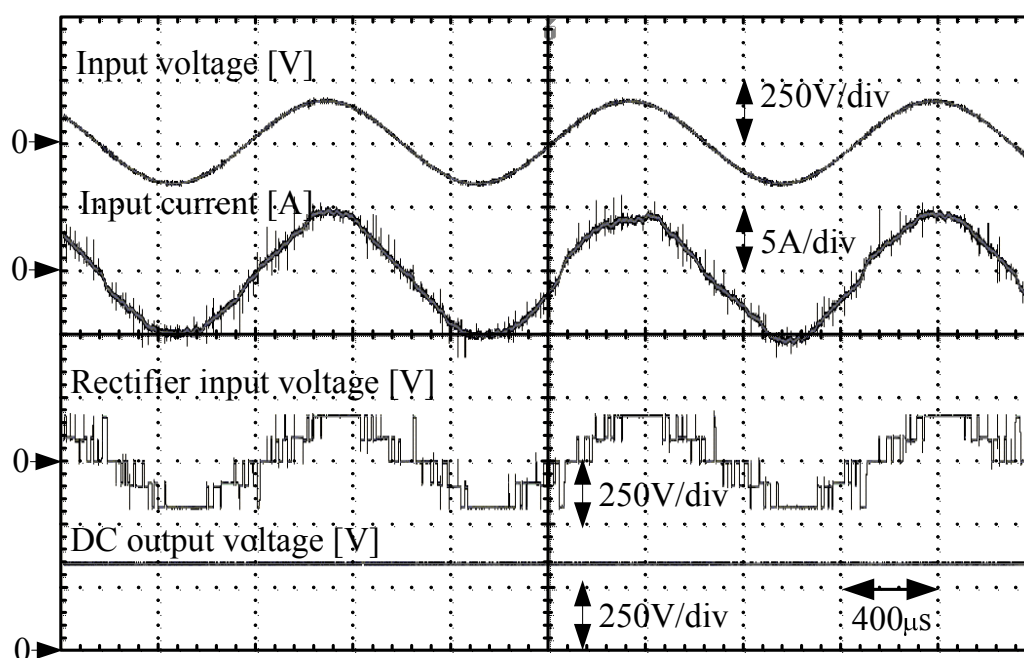


図 4.10 800 Hz リアクトル電圧補償（条件 2）THD: 3.1%

図 4.11 に連系リアクトル電圧補償と非同期極性切り替えを用いた場合の 800 Hz 動作波形を示す。図 4.10 と入力電流波形を比較すると極性切り替わり付近のひずみが減少している。全高調波ひずみ率は 2.9%で、400 Hz 動作よりも 14%低下する。

図 4.12 に図 4.11 の動作波形について、極性切り替え付近をを拡大して示す。キャリア周期で示す区間において、前半では S_1, S_2 ON の $-0V$ パターンを出力し、電流を変換器から連系リアクトルへ流している。キャリア区間の途中、入力電圧極性が正側に切り替わると同時に、電圧極性判定信号を用いてキャリア周期と非同期に S_3, S_4 ON の $+0V$ パターンに切り替えている。なお切り替え直後に $-1/2V_{dc}$ の誤差電圧パルスが発生している。この誤差電

スイッチ数を低減した PWM 整流器の 高周波電源への適用

圧パルスの幅は、電圧極性判定回路とデッドタイムにより決定するため $15\ \mu\text{s}$ と短く、また上下対称となるため、波形の非対称性から生じるビート成分を抑制できる。

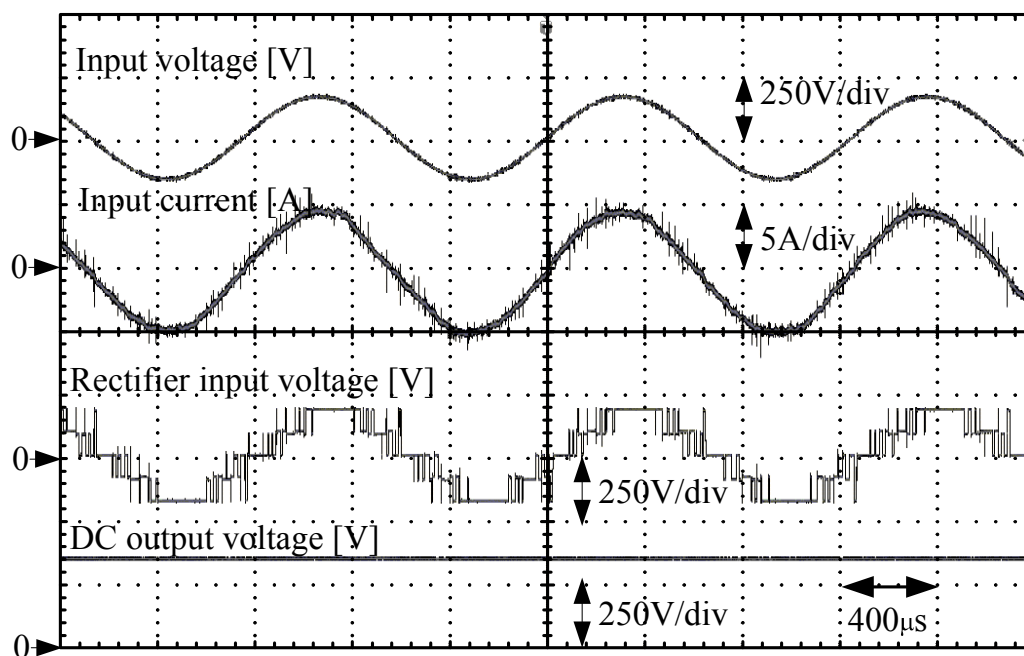


図 4.11 800 Hz 非同期極性切り替え (条件 3) THD: 2.9%,
非論理成分を含めた THD: 6.3%

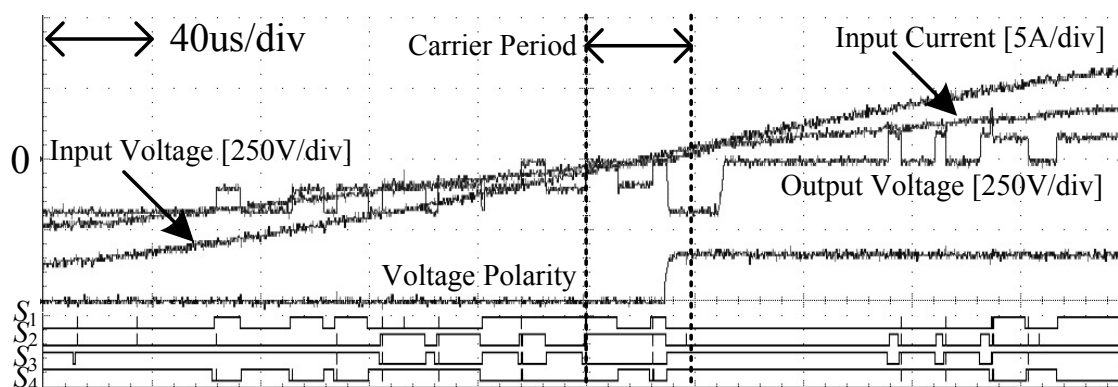


図 4.12 図 4.11 拡大波形

図 4.13 に入力周波数を変化させた場合の入力電流ひずみ率の変化を示す。なお本測定はパワーメータ（横河電機 WT1600）の高調波測定機能にて計測したもので、非論理高調波となるビート成分は含まない。連系リアクトル電圧補償なしの場合、周波数の上昇に比例してひずみ率が上昇し、400 Hz 以上では制御できない。連系リアクトル電圧補償を加えると、ひずみ率は電源周波数によらず 3% 近辺に安定する。また非同期極性切り替えを用いることで、さらに低減する。

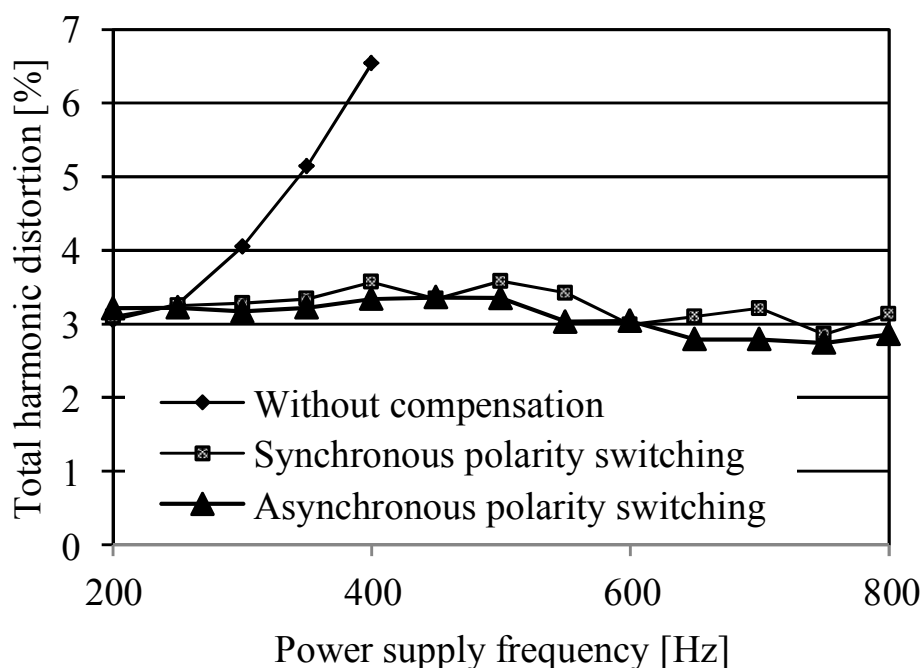


図 4.13 入力電流高調波ひずみ率の周波数特性（論理高調波のみ）

図 4.14 に 0 V パターンの同期／非同期極性切り替えによる入力力率の周波数特性を示す。非同期極性切り替えでは、電源周波数に関わらず高い力率が得られる。同期極性切り替えでは入力電流に非対称なひずみを生じ、これに伴う位相誤差により力率が低下する。条件 1 と 2 で発生した入力電流の非対称な電流ひずみは、極性切り替えの遅れに伴うビート電流による。ビート電流の周波数は、電源周波数 400 Hz と 800 Hz、キャリア周波数 26.7 kHz の周期の最小公倍数から(4.1)式より算出される。電源周波数 400 Hz において 133 Hz, 800 Hz では 267 Hz となる。

図 4.15 に、非同期極性切り替えによるビート電流成分の低減効果を示す。特に入力電流ひずみの大きい、条件 2 の 800 Hz 動作時におけるビート電流成分(267 Hz)の大きさは、入

力電流基本波に対する割合で示した場合、0.56%から 0.06%へと 1/9 に低減できる。

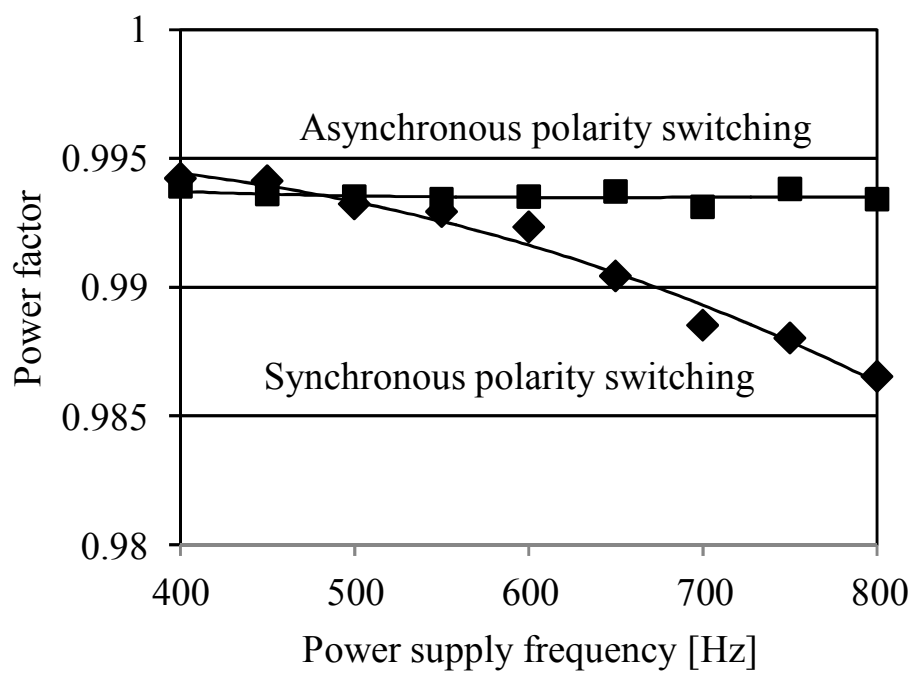


図 4.14 入力力率の周波数特性

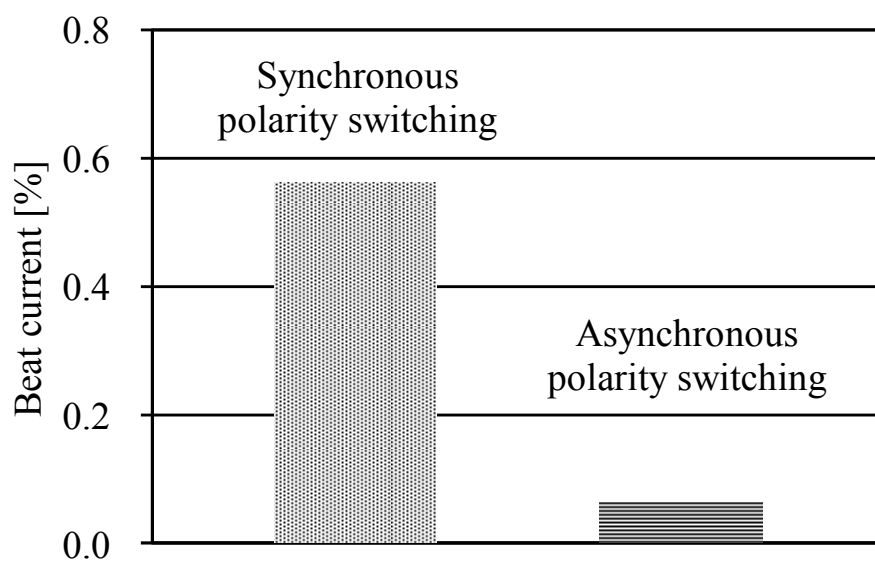


図 4.15 ビート電流成分の低減効果

図 4.16 に、同期 PWM 制御適用時（条件 4）の動作波形を示す。非同期 PWM の条件 1~3 と比較して入力電流波形の対称性がさらに向上し、誤差電圧パルスが低減している。なお、ここでは入力電流ひずみ率の計測方法として、入力電流高調波の非論理成分を考慮する。そのため、図 4.11 条件 3 800 Hz では、論理高調波のみを考慮した THD は 2.9%だが、非論理成分を含めると 6.3%に増加する。同期 PWM を適用すると、入力電流ひずみ率は 3.1% となり、非同期 PWM 制御の条件 3 と比較して THD が 51%低減している。

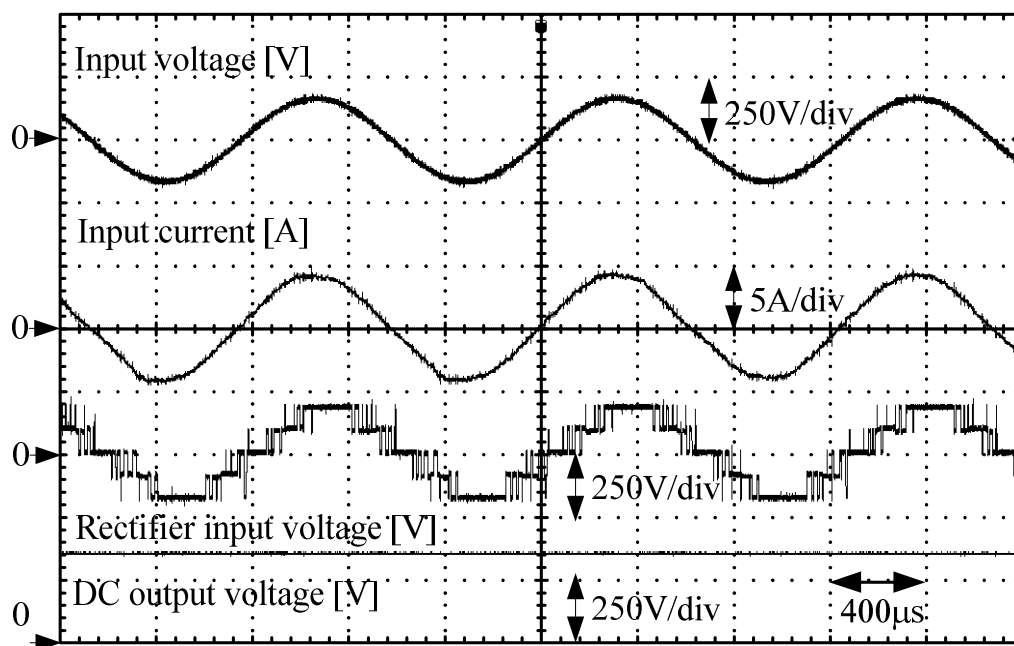
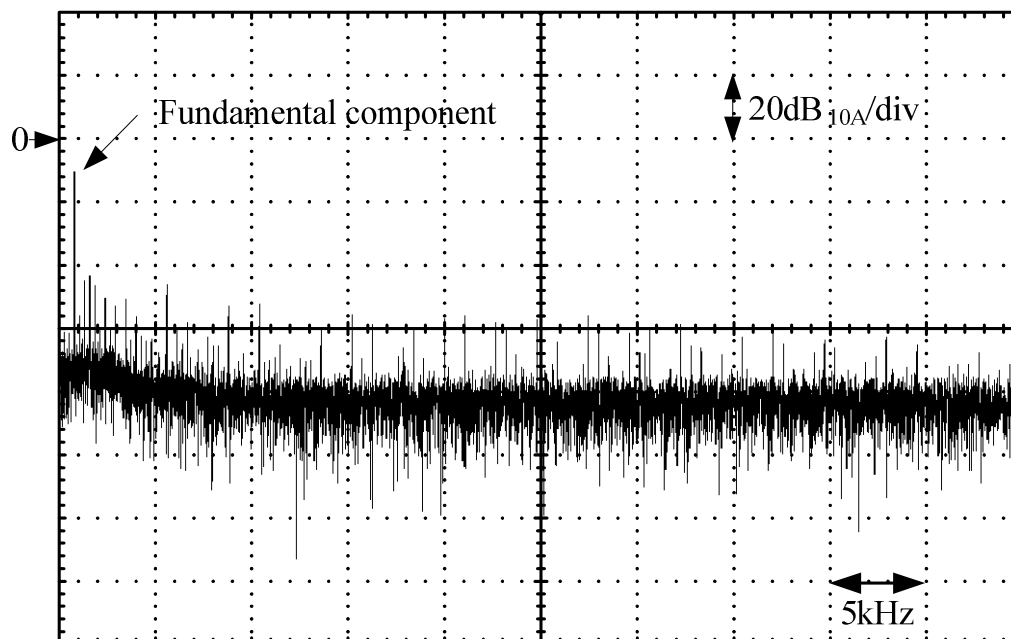
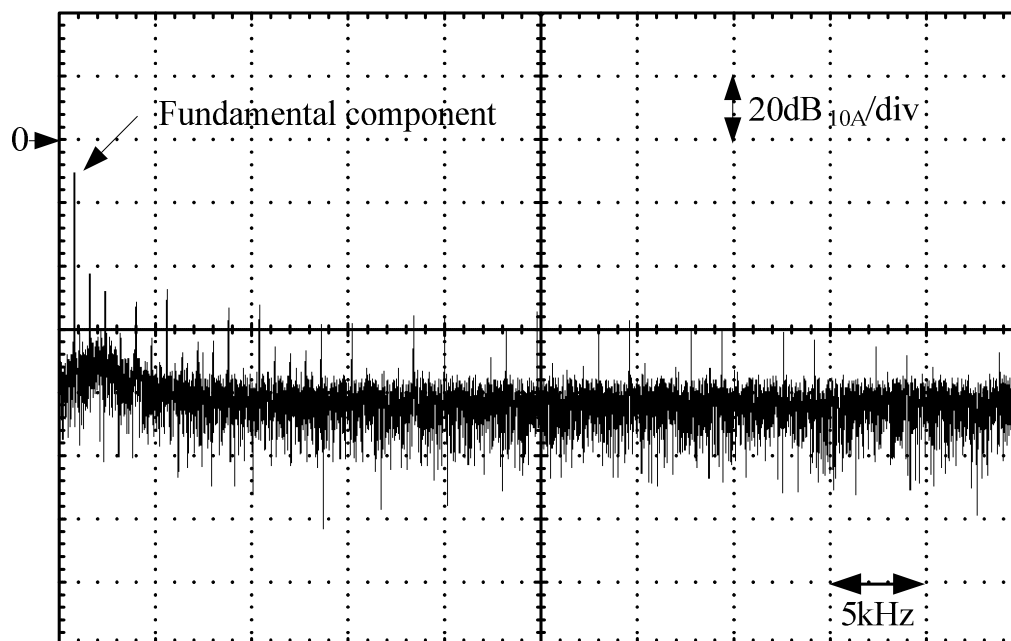


図 4.16 800 Hz 同期 PWM 制御（条件 4）非論理成分を含めた THD: 3.1%

図 4.17 に入力電流の高調波解析結果を示す。同期 PWM 制御では、非論理高調波である入力電流の低周波ビート成分とその高調波が低減し、電源周波数の整数倍の論理高調波成分のみが残る。



(a) 非同期 PWM



(b)同期 PWM

図 4.17 非同期・同期 PWM 制御による入力電流高調波

図 4.18 に電源周波数を変化させた場合の、非論理高調波成分を考慮した入力電流ひずみ率を示す。同期 PWM 制御を用いることで入力電流波形の対称性が向上した結果、ビート電流とその高調波成分が減少し、3%付近の低く一定の特性が得られる。

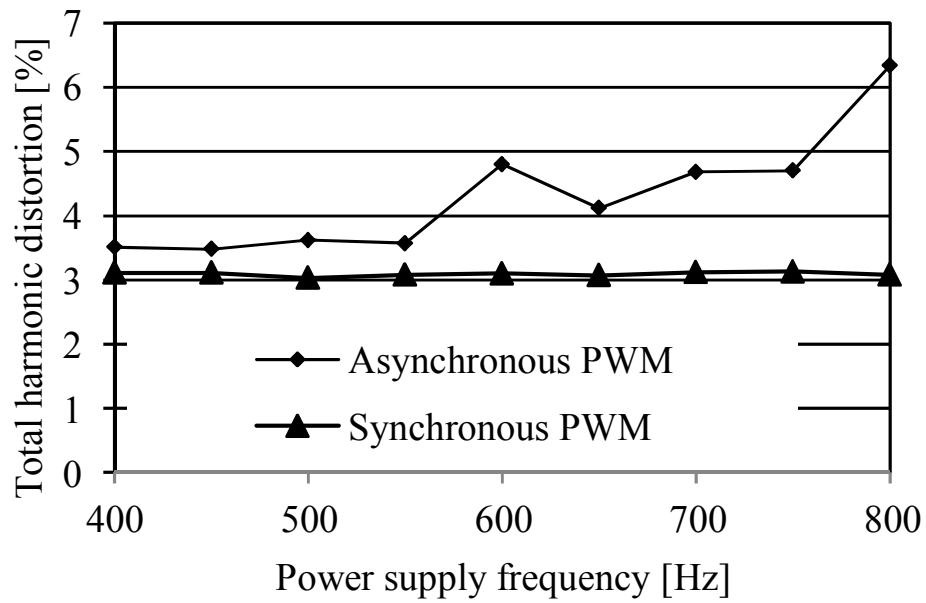


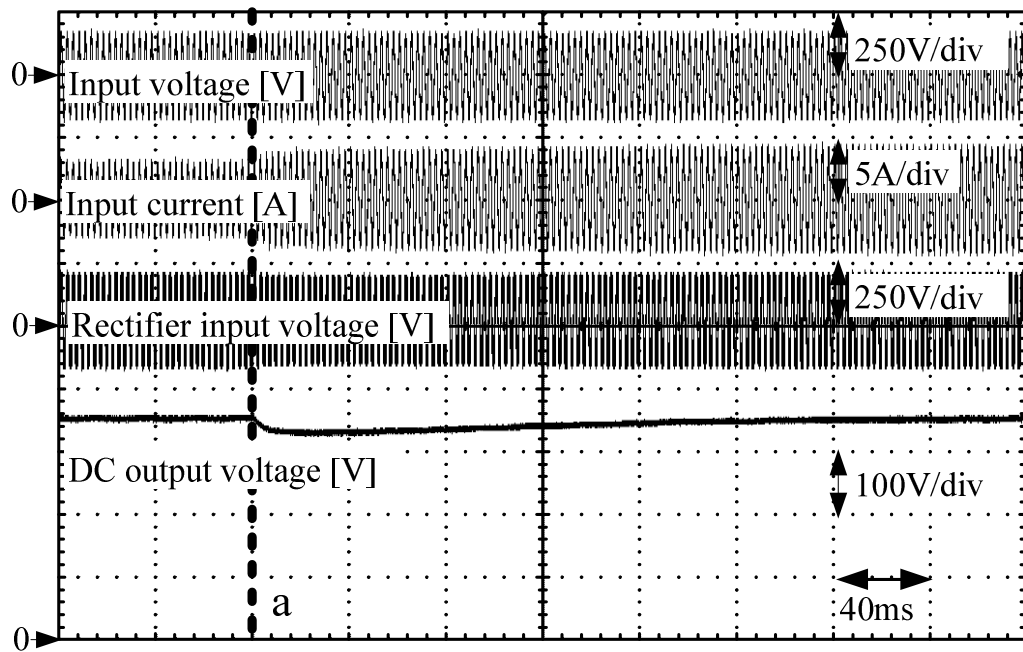
図 4.18 非同期・同期 PWM 制御による入力電流 THD

4.3.2 過渡応答特性

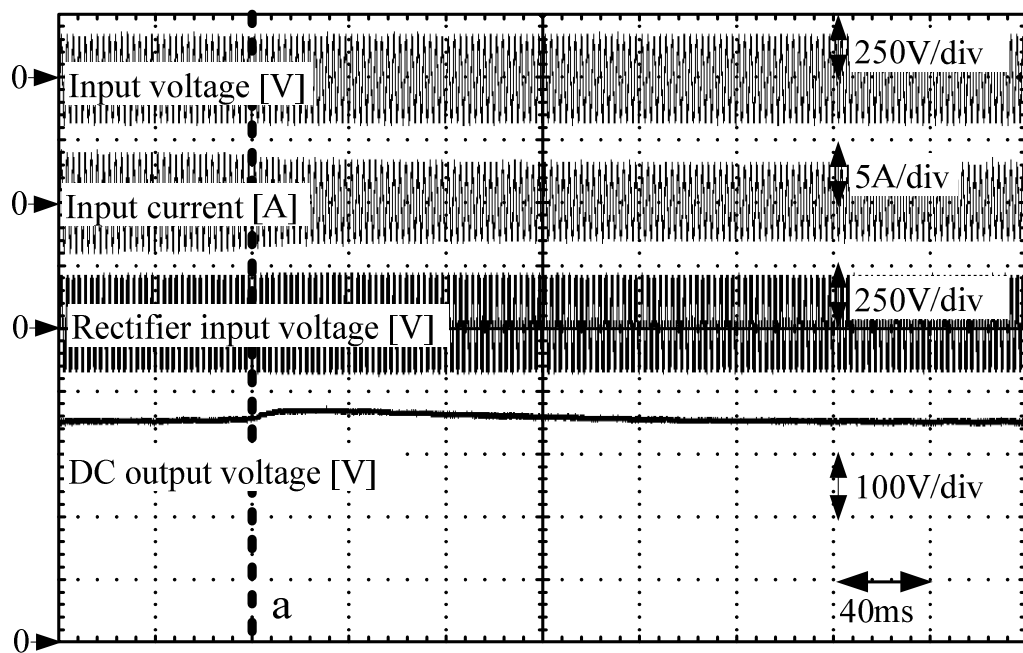
本節では、高周波電源システムで想定される負荷電力変動、電源周波数・電圧変動に対して、提案回路が安定動作可能であることを確認する。

図 4.19 に提案回路の直流負荷を 635 W から 937 W にステップ増加させた場合、また逆に減少させた場合の直流電圧波形を示す。図中 a 点から負荷が変化している。負荷増大と同時に直流部電圧が低下し、これを電圧制御系が補償することで入力電流が増大し、直流電圧が 200 ms で定常値に復帰している。負荷減少時も同様である。このことから提案回路は負荷変動に対して安定動作可能である。

図 4.20 に電源周波数と電圧が連続的に変化した場合の波形を示す。これは航空機用途に適用した場合、発電機の周波数が 400~800 Hz で連続的に変化し、発電機出力相電圧も周波数に比例して 57~115 V に変化した場合を想定している。(a)では直流負荷 635 W, 400 Hz, 57 V の図中 a 点から、0.3 秒の遷移時間で 800 Hz, 115 V の b 点まで連続的に変化させ、(b)は逆の変化を与えている。遷移中、入力電流は安定して制御され、出力電圧は若干上昇するものの、遷移終了とともに安定する。この結果より、提案回路は電源として想定している発電機の出力電圧・周波数変動に対して安定動作可能である。

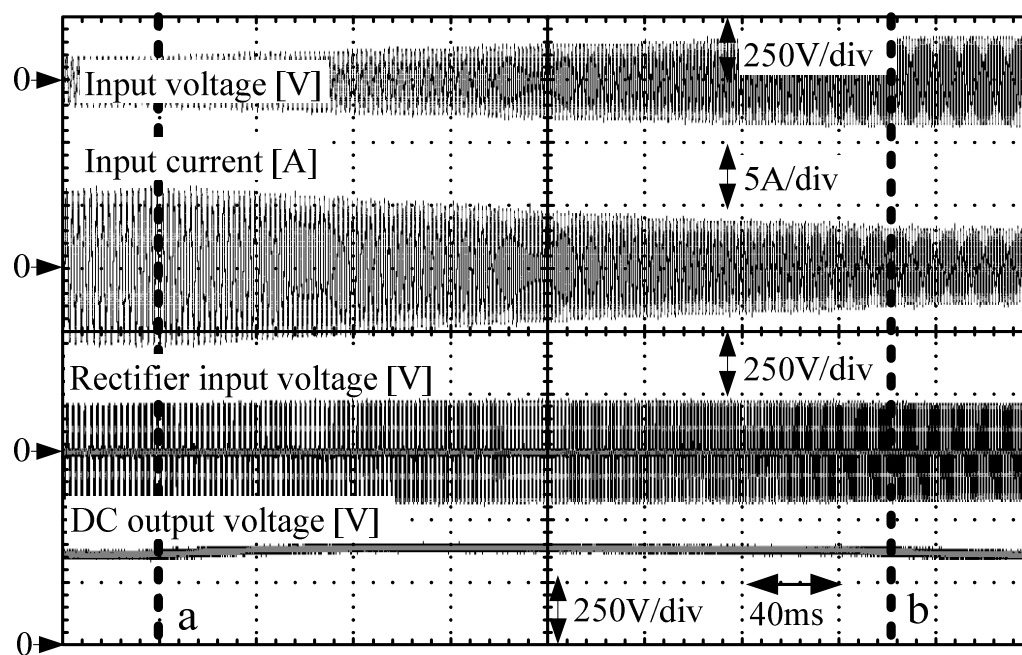


(a) 負荷増大 (635 W から 937 W)

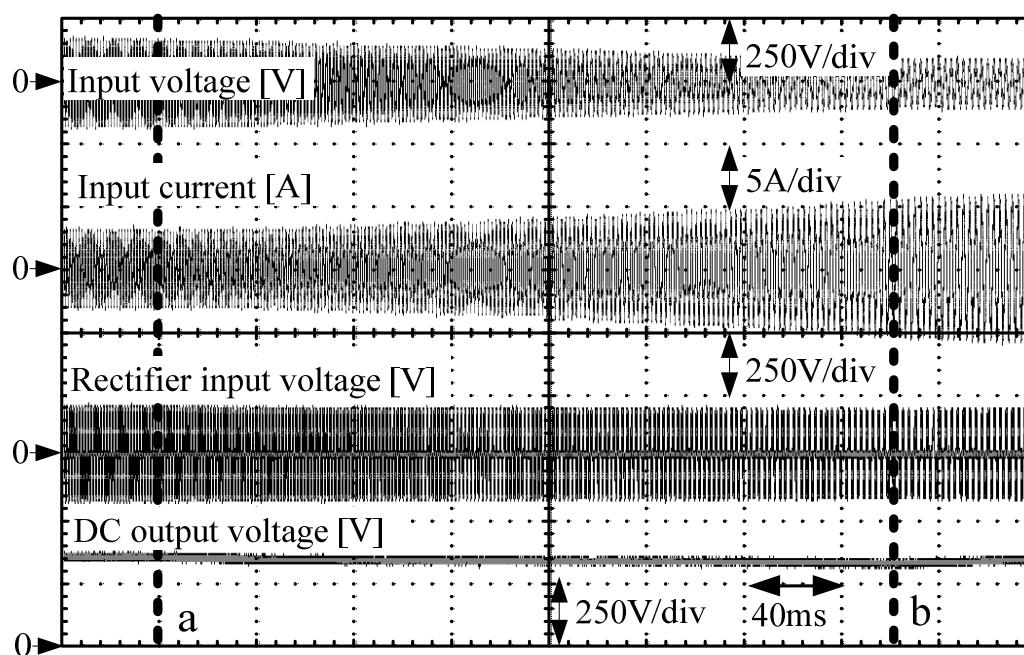


(a) 負荷減少 (937 W から 635 W)

図 4.19 直流負荷ステップ応答



(a) 周波数上昇 (400 Hz から 800 Hz)



(b) 周波数低下 (800 Hz から 400 Hz)

図 4.20 電源周波数・電圧スweep

4.3.3 電力変換効率

図 4.21 に直流負荷 1 kW の条件で電源周波数を変化させた場合の変換効率を示す。周波数の上昇に伴い、効率が低下している。400 Hz の場合 97.4 % に対して、800 Hz では 96.3 % まで低下した。

図 4.22 に損失分離結果を示す。電力損失全体は三相入力電力と直流出力電力から測定し、リアクトル損失は入力電力とリアクトル両端の電圧から得られる有効電力とする。また MOSFET の導通損失、ターンオン・ターンオフ損失、また寄生ダイオードの逆方向リカバリ損失については、Powersim inc. 製パワーエレクトロニクス回路シミュレータ PSIM を用いて計算する。具体的には、シミュレーション上でスイッチのターンオン・オフ時の FET ドレイン電流とドレイン・ソース間電圧を観測し、データシートの各パラメータを用いて算出する。また寄生ダイオードの逆方向リカバリ損失については、寄生ダイオードの順方向電流の変化と印可電圧を検出し、逆方向リカバリ電荷量を計算する。その他の項目にはデバイスの寄生容量による無負荷損失、コンデンサの直列等価抵抗 (ESR) や主回路配線の抵抗成分による損失が含まれる。この結果よりリアクトルの鉄損が周波数に比例して増加している。またその絶対量は全損失の 1/3 を占めており、リアクトルの鉄損低減が高効率化に向けて重要となる。

図 4.23 に変換効率の負荷特性を示す。電源周波数は 400 Hz と 800 Hz として負荷を変化させた場合の変換効率を測定した。400 Hz 動作では効率 98% 付近、800 Hz 動作では 96% 付近となる。いずれの周波数においても負荷電力が増大するにつれて効率が低下し、800 Hz では特に高負荷での落ち込みが大きい。

図 4.24 に変換効率の負荷特性について損失分離した結果を示す。(a) に 400 Hz, (b) に 800 Hz 動作時である。両者で異なるのはリアクトル鉄損の変化である。400 Hz では負荷電力に対する割合が減少方向であり、負荷電力に比例しない一定の損失が発生している。これに対して 800 Hz では負荷電力に比例した損失が発生している。図 4.22 より、電源周波数に比例して鉄損が増大するため、今回用いたリアクトルでは周波数に比例して損失が変化するヒステリシス損が支配的といえる。また、400 Hz ではその他の損失割合が 800 Hz と比べて大きい。これはその他損失として考えられるデバイスの寄生容量による無負荷損失、コンデンサの直列等価抵抗 (ESR) や主回路配線の抵抗成分による損失のいずれも、電源

スイッチ数を低減した PWM 整流器の 高周波電源への適用

周波数ではなくスイッチング周波数と電流に依存するため、変換効率が高い低周波域では、これらの占める割合が増大するためである。

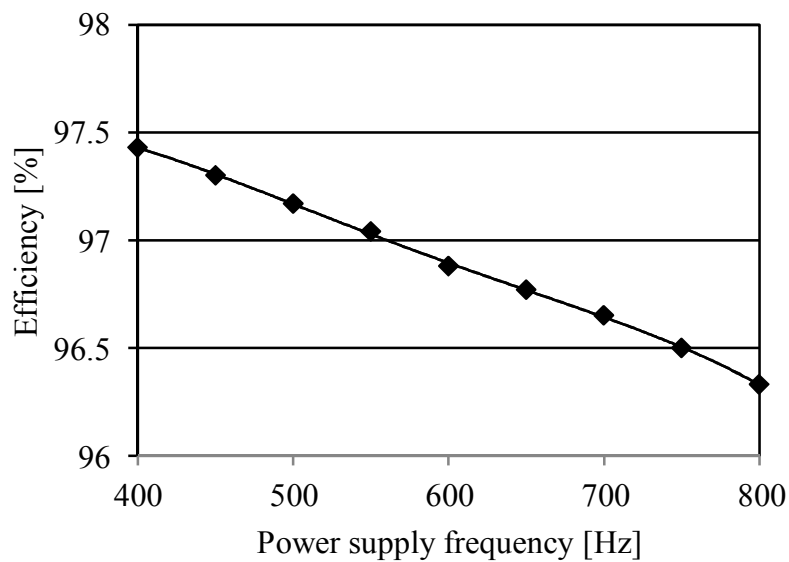


図 4.21 電力変換効率の周波数特性

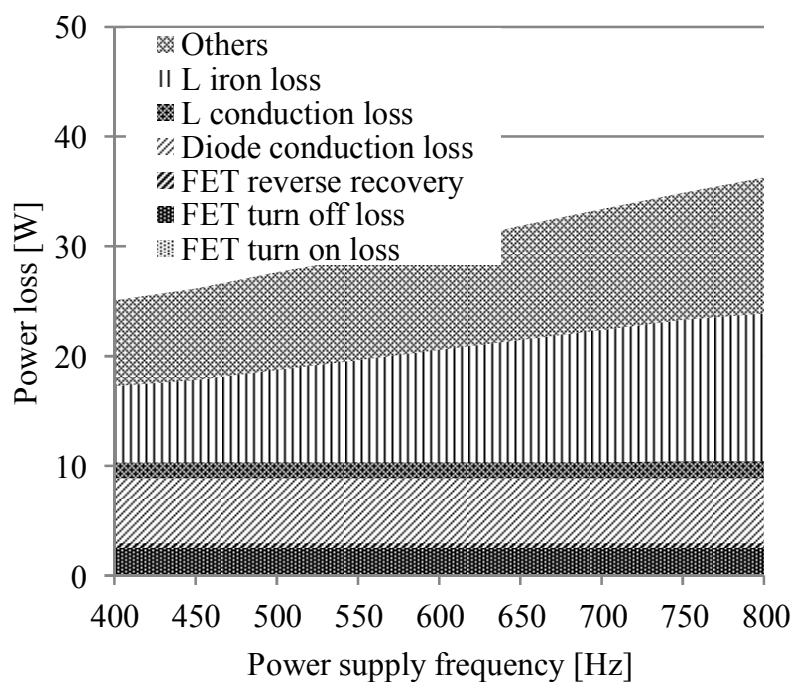


図 4.22 電力変換効率の周波数特性（損失分離）

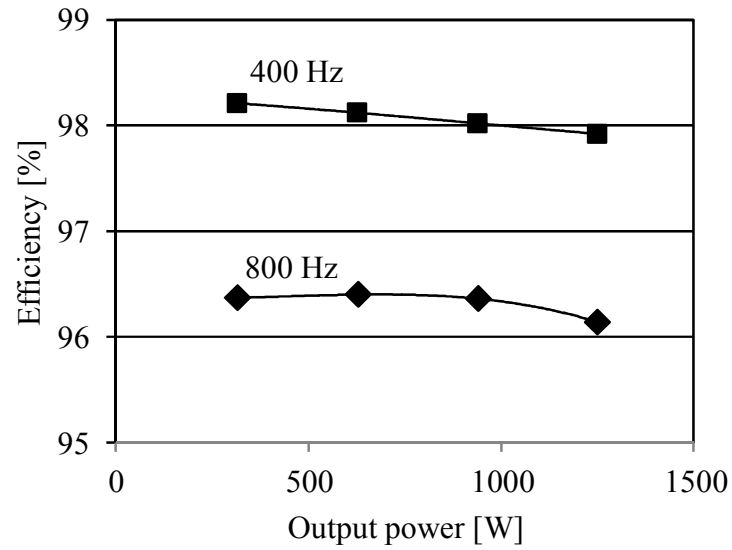


図 4.23 電力変換効率の負荷特性

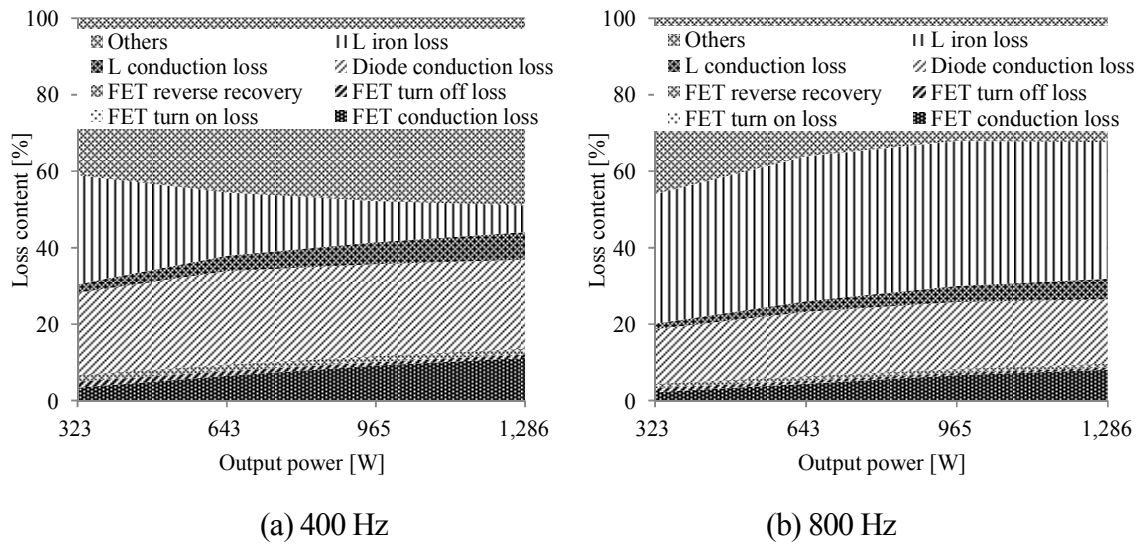


図 4.24 電力変換効率の負荷特性 (損失分離)

4.4 結言

航空機電源などの高周波電源を対象とした PFC 整流器として、スイッチ数を削減した 5 レベル PWM 整流器を適用し、高周波電源下における波形改善手法の提案を行った。また、対象とする電源システムで想定される負荷変動、電源変動を考慮した動作確認を行った。

- 1, 連系リアクトル電圧の影響を補償し、実験により 400 Hz における入力電流全高調波ひずみ率を 6.5% から 3.3% に 45% 低減した。
- 2, スイッチングパターンの非同期極性切り替えを行うことで、電源周波数 800 Hz における入力電流ビート成分を 1/9 に低減した。
- 3, 同期 PWM 制御によりビート成分とビートの高調波成分が低減し、電源周波数 800 Hz において、非論理高調波成分を考慮した入力電流ひずみ率を 51% 低減した。
- 4, 直流負荷変動、400~800 Hz の範囲における電源周波数・電圧変動に対して、安定動作することを確認した。
- 5, 損失分離結果より、連系リアクトルの鉄損が支配的であり、高周波特性の良いコア材料の適用による効率改善の余地がある。

今後の課題として、電圧・電流検出回路のひずみ・遅れの低減、スイッチング周波数の向上により、入力電流に含まれる偶数時高調波成分を低減する。

第5章

電流バイパス回路を多段直列接続した 高力率 LED 駆動回路

5.1 緒論

本章では、線形動作する電流バイパス回路を多段直列接続することで高効率を実現できる、高力率 LED 駆動回路を提案する。電流バイパス回路に使用する MOSFET のゲート駆動には、抵抗とツェナーダイオードによる簡単な構成のバイアス回路を用いるため、外付けの制御器や各 MOSFET に個別の電源を持つゲート駆動回路が不要となる。また、電流バイパス回路の MOSFET に高い電圧が加わった状態で線形動作させると、スイッチング動作に比べて効率の点で不利となるが、多段直列接続により印加電圧を下げることで、全体の損失を低減する。線形動作する電流バイパス回路を多段直列接続することで高効率を実現できる、高力率 LED 駆動回路を提案する。電流バイパス回路に使用する MOSFET のゲート駆動には、抵抗とツェナーダイオードによる簡単な構成のバイアス回路を用いるため、外付けの制御器や各スイッチ個別のゲート駆動回路は不要となる。また、電流バイパス回路の MOSFET に高い電圧が加わった状態で線形動作させると、スイッチング動作に比べて効率の点で不利となるが、多段直列接続により電圧を下げることで、全体の損失を低減する。

本章の構成は、次のようになっている。はじめに提案回路の動作原理と回路構成を述べる。次に 100 V 入力、7.8 W、5 列構成の動作波形と、回路パラメータを用いた損失計算法

を示し、効率を評価する。さらに 7.8 W, 5 列構成と, 15 W, 10 列構成を試作し, 各部の動作波形を示す。また試作機の体積とノイズを評価し, 提案回路の有効性を確認する。

5.2 提案回路

5.2.1 回路構成の概要

図 5.1 に入力電流を正弦波化し, 定電流制御に伴う損失を低減する原理図を示す。LED 列の電流を一定に制御するため, 各列に定電流源を接続する。そして LED 列に対して並列に, 複数の電流バイパス回路を接続する。1 列目を例に挙げ, 提案回路の動作を説明する。ダイオード整流器の出力電圧 v_{rec} が 0 V から上昇し, 最下段の LED 列 (この場合は D_1 と D_2) の順方向電圧の和 V_{F0} を超えると, $Q_1 \sim Q_4$ がすべてオンする。そして, v_{rec} の上昇にしたがい Q_1 の v_{ds} が上昇する線形動作の状態となる。さらに v_{ds} が上昇し, 並列接続される LED の順方向電圧 V_{F1} を超えると, Q_1 がオフになり電流が LED 側に流れる。これにより定電流動作に伴うの損失を低く保ちながら, LED 列を可変電圧・定電流駆動する。さらに, v_{rec} と通流する LED 列の並列数を比例して変化させることで, 入力電流を正弦波化する。

表 5.1 に提案回路と従来回路の比較を示す。提案回路と文献(9)(10)の Sequential linear 方式は受動部品を使用せず, 線形動作により EMC フィルタが不要となることで, 回路体積の小型化に有利である。また電力変換効率は従来回路と同等以上で, 入力力率はほぼ 1 となる。一方でこれらの方式は各 LED 列の通流時間が異なり, 各列同一の LED 素子を使用した場合, 各素子の消費電力がばらつき, 素子の利用率が低下する実用上の課題がある。これは通流時間に応じて定格電力の異なる素子を用いる, または素子の並列数を可変する設計で対策できる。

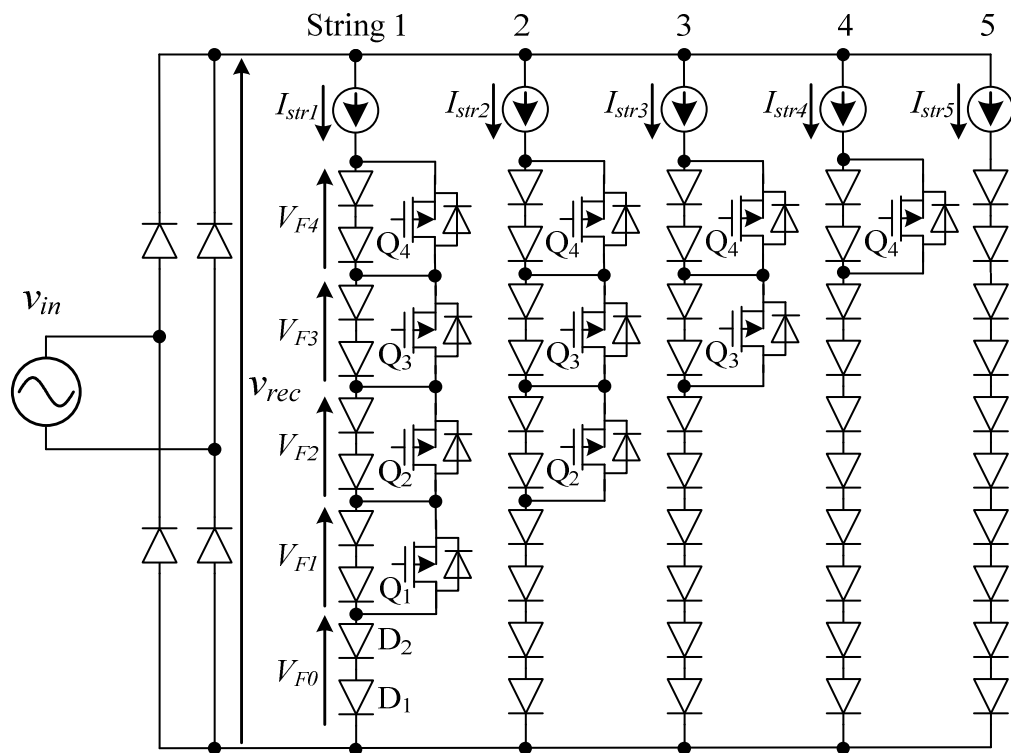


図 5.1 5 列 4 段構成の提案回路原理図

表 5.1 LED 駆動回路の比較

	Proposed circuit (5 strings)	Proposed circuit (10 strings)	Step-down chopper ⁽⁴⁾	Single switch converter ⁽⁴⁾	Sequential linear ⁽⁵⁾⁽⁶⁾
Input current	Sinusoidal	Sinusoidal	Low power factor	Sinusoidal	Sinusoidal
Lighting flicker	Large	Large	Small	Large	Large
Element deciding life time limit	LED	LED	Electrolytic capacitor	LED	LED
Efficiency [%]	88.3	91.6	>80	85	85
Reactor volume	-	-	Large	Small	-
Capacitor volume	-	-	Large	Small	-
Noise filter	-	-	Required	Required	-
Input power factor	0.995	0.999	0.7~0.8	0.98	>0.95

5.2.2 入力電流の正弦波化

図 5.2 に入力電流波形を正弦波化する原理を示す。電流値が同一で、順方向電圧 V_F が一定間隔で異なる LED 列を並列接続すると、入力電圧に比例した階段状の電流が流れる。LED 列を増加させて V_F の間隔を狭めることで、電流波形が正弦波に近づき、抵抗負荷に近い高力率動作となる。

5.2.3 定電流回路の損失低減

図 5.3 に LED 列の順方向電圧切り替えによる損失低減の原理を示す。これは図 5.1 の 1 列目の消費電力を表しており、図 5.3(a)は電流バイパス回路を設けず D_1 と D_2 だけの場合、図 5.3(b)は 4 段の電流バイパス回路を設けた場合を示す。LED の順方向電流は印加電圧に対して指数関数的に変化し、 v_{rec} が LED 列の順方向電圧 V_{F0} を超えると、CCR の作用により一定電流 I_{str1} が流れる。このとき、 $V_{F0}I_{str1}$ が LED に注入される電力、 $(v_{rec}-V_{F0})I_{str1}$ が定電流制御に伴う損失となり、損失を図示すると灰色部分の面積となる。よって、損失を低減するには LED の順方向電圧の総和を v_{rec} に近づければよい。しかし、入力電流を高力率化するためには、図 5.2 に示すように幅広い通流期間が必要なので、1 列目は V_{F0} を低くしなければならない。そこで、図 5.3(b)に示すように、電流バイパス回路により v_{rec} の大きさに応じて通流する LED の直列数を切り替える。 v_{rec} が V_{F0} を超えると、 Q_1 は線形動作状態となって損失が増加する。しかし v_{rec} が V_{F1} を超えた時点で、 Q_1 に流れていた電流は並列に接続された LED 側に移り、 Q_1 はオフとなる。よって、LED の直列数を切り替えることで、 Q_1 の線形動作中の印加電圧は最大で V_{F1} に抑制され、損失を削減できる。

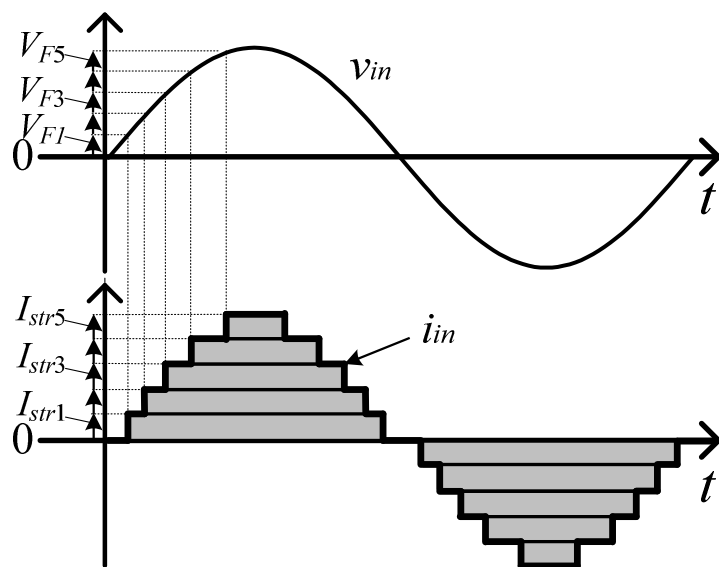


図 5.2 入力電流を正弦波化する原理図

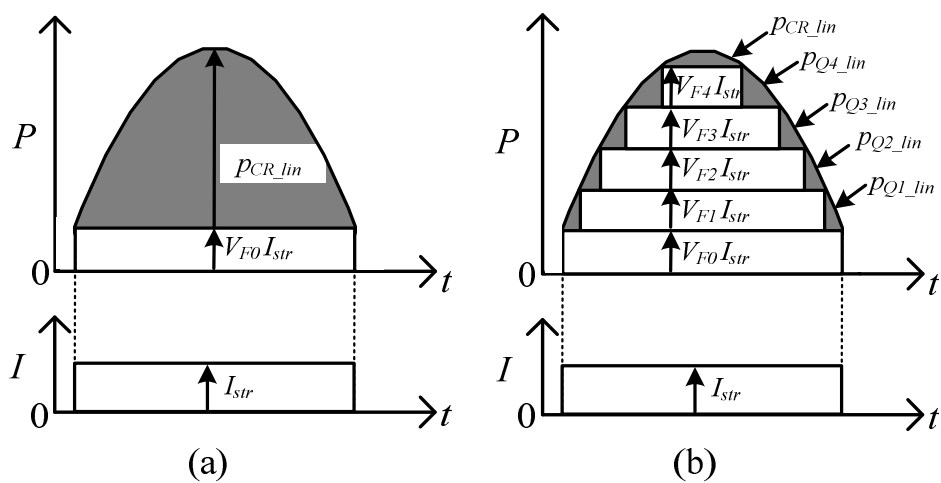


図 5.3 入力電流を正弦波化する原理図

5.2.4 電流バイパス回路の設計手法

図 5.4 に提案回路を 5 列 4 段バイパスで構成した場合の、1 列目の回路図と回路パラメータを示す。電流バイパス回路の駆動電力を低減するため、電圧駆動の MOSFET を用いる。なお、電流バイパス回路は v_{rec} が低い領域ですべてオンしていることから、ノーマリーオン形の MOSFET を適用することが考えられる。しかし、デバイスの選択肢と入手性の観点から、本論文ではノーマリーオフ形の MOSFET を使用する。電流バイパス回路の MOSFET は、並列に接続される LED 列の順方向電圧以上の耐圧を持つ素子を選定する。また、電流源に Constant Current Regulator (CCR) を使用しているが、電流容量が小さいため、大容量化する場合はシリースレギュレータを用いた構成も考えられる。さらに、CCR 選定の際は電源の電圧変動を考慮して耐圧を選定する必要がある。

提案回路は CCR と $Q_1 \sim Q_4$ のいずれか 1 個が線形動作することで、定電流制御を実現している。CCR が線形動作するのは v_{rec} の波高値付近のみで、 v_{rec} が LED 列全体の順方向電圧を下回っている領域では、 $Q_1 \sim Q_4$ が順次線形動作する。例えば、 $Q_1 \sim Q_4$ がオンの状態で v_{rec} が V_{F0} を超えると、CCR 両端の電圧 v_{CCR} が増加する。 v_{CCR} が増加すると、図 5.4 より $Q_1 \sim Q_4$ のゲートバイアス電圧 v_{gs} が上昇し、 Q_1 が飽和領域から線形領域に移行する。その後、 v_{gs} の上昇に応じてドレインソース間電圧が上昇することで、 v_{CCR} の上昇を抑制する。つまり、線形動作中の Q_1 と CCR によって、 v_{rec} と V_{F0} の差の電圧を分担しながら定電流動作する。以降、 v_{rec} が $V_{F0} + V_{F1}$ を超えたときには Q_2 が同様の動作になり、順次線形動作する素子に移り変わる。なお、 Q_1 から順に線形動作に変化する理由は、MOSFET のオン抵抗に起因する電圧降下により、 Q_1 のゲートバイアス電圧が最も高くなるためである。

図 5.5 にゲート駆動回路設計用の等価回路図を示す。ゲート駆動回路の周波数応答は、バイアス抵抗 R_{bias} とゲート抵抗 R_{gate} およびゲート入力容量 C_{iss} の時定数に依存し、 n 段で構成した場合のカットオフ周波数 f_{cut_off} は(5.1)式で表される。

$$f_{cut_off} = \frac{1}{\left(R_{bias} + \frac{R_{gate}}{n}\right) \cdot nC_{iss}} \dots\dots\dots (5.1)$$

バイアス抵抗とゲート抵抗は, f_{cut_off} が電源周波数の 2 倍よりも十分高くなるように設定する。例えば, 表 5.2 のパラメータでは 27 kHz となり, 商用電源周波数の 2 倍である 100 Hz よりも十分高い周波数応答が得られる。また, 400 Hz の高周波電源を想定しても, 800 Hz に対して 34 倍と十分に高い。

5.2.5 5 列 4 段および 10 列 9 段の設計例

図 5.6(a)に提案回路を PMOS5 列 4 段構成した場合, (b)に NMOS10 列 9 段構成した場合の, 通流開始電圧が最も低い 1 列目の回路図を示す。

表 5.2 および 5.3 に上記設計時の回路パラメータを示す。

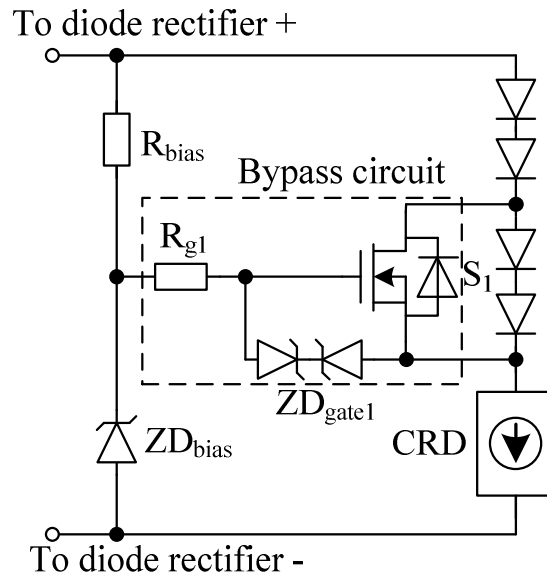


図 5.4 電流バイパス回路の構成 (NMOS 型 1 段の場合)

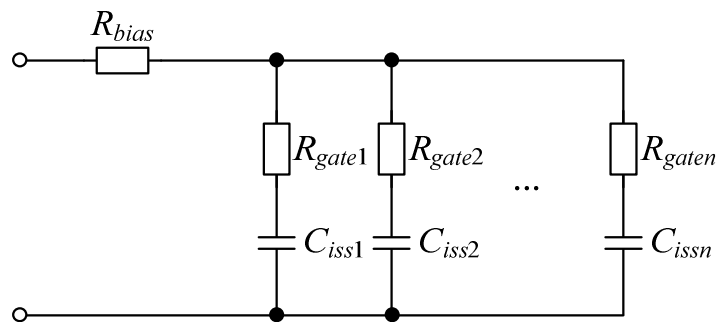


図 5.5 ゲート駆動回路の等価回路

電流バイパス回路を多段直列接続した
高力率 LED 駆動回路

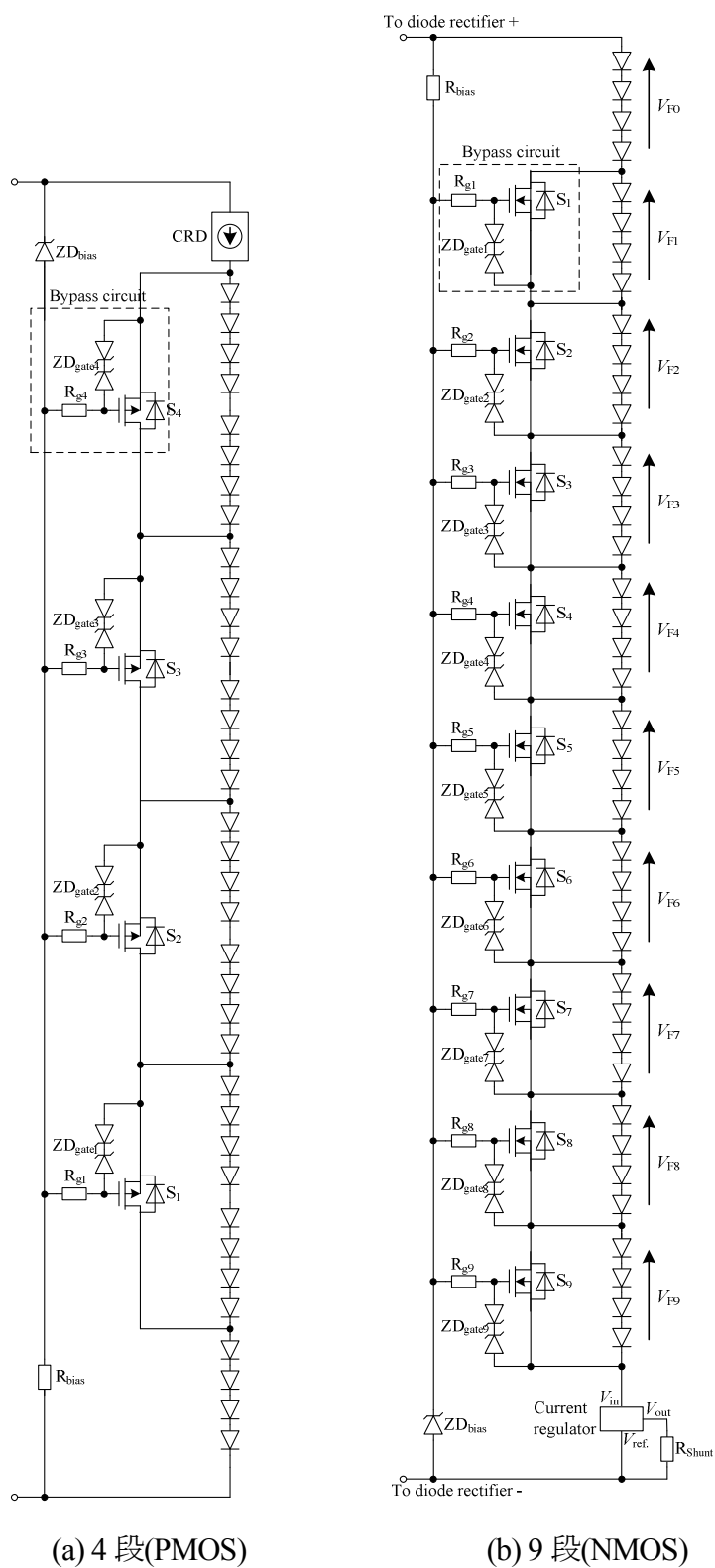


図 5.6 4 段と 9 段の 1 列目回路構成

表 5.2 5 列 4 段構成のパラメータ

LED	LUW_JNSH.EC (OSRAM) $V_F=3.1\text{V}$, $I_F=20\text{ mA}$, 36-series
MOSFET	5LP01SS (ON semiconductor) $V_{ds}=50\text{ V}$, $R_{on}=18\ \Omega$, $C_{iss}=7.4\text{ pF}$
$ZD_{\text{gate}}, ZD_{\text{bias}}$	$V_z=6.8\text{ V}$
$R_{\text{bias}}, R_{\text{gate}}$	$1\text{ M}\Omega$
Current regulator	NSI45020T1G (ON semiconductor) $I_{str}=20\text{ mA}$, $V_{on}=3.5\text{ V}$
Diode bridge	DF08SA (Vishay)
V_{in}	AC 100 V, 50 Hz

表 5.3 10 列 9 段構成のパラメータ

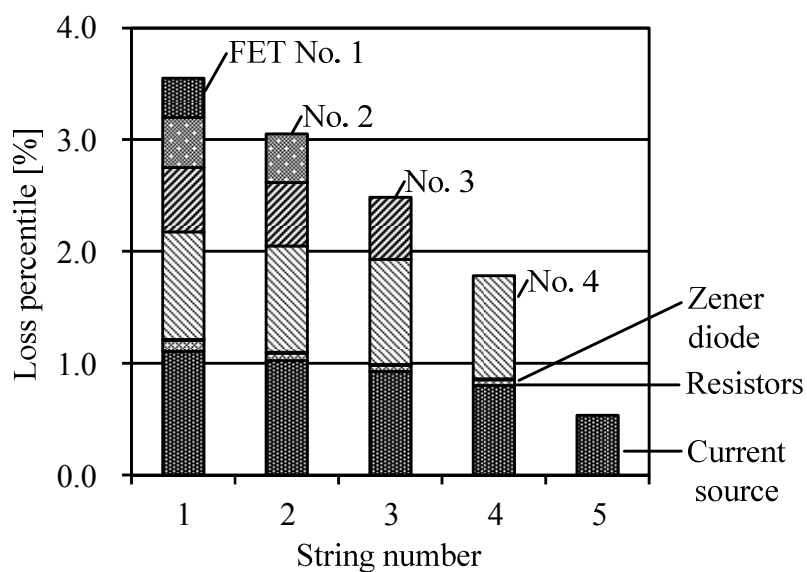
LED	LUW_JNSH.EC (OSRAM) $V_F=3.1\text{V}$, $I_F=20\text{ mA}$, 40-series
MOSFET	SSM3K15F (Toshiba) $V_{ds}=30\text{ V}$, $R_{on}=4\ \Omega$, $C_{iss}=7.8\text{ pF}$
$ZD_{\text{gate}}, ZD_{\text{bias}}$	$V_z=6.8\text{ V}$
$R_{\text{bias}}, R_{\text{gate}}$	$1\text{ M}\Omega$
Current regulator	$62.5\ \Omega$
Diode bridge	LM1086-ADJ (Texas Instruments) $I_{str}=20\text{ mA}$, $V_{on}=3.0\text{ V}$
V_{in}	AC 100 V, 50 Hz

5.3 回路損失の定式化

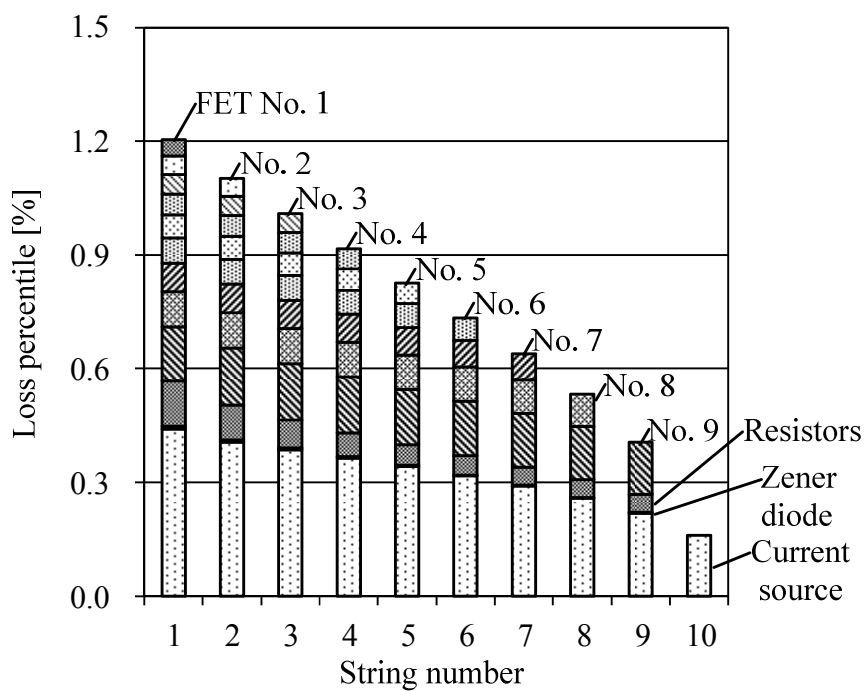
LED 駆動回路は出力が光になるため、電力変換効率は入力電力と LED 素子の消費電力の比率で定義される。しかし、提案回路では通流時間の異なる LED 列が多数あるため、実験による電力変換効率の測定は難しい。そこで、シミュレータを用いて回路の損失を推定することで効率を求める。しかし、シミュレータによる損失推定だけでは、仕様変更毎にシミュレーションを繰り返す必要があり、設計作業が煩雑化する。そこで本章では、回路の設計パラメータから各 MOSFET と CCR の損失を求める近似式を導出する。また計算結果を基に、5 列と 10 列構成時の損失について検討する。

5.3.1 シミュレーションによる損失解析

図 5.7 に、シミュレーションによる損失分離結果を示す。(a)は 5 列 4 段構成、(b)は 10 列 9 段構成の結果である。このグラフは回路全体の入力電力に対する損失の比率を各列で示している。結果より、損失の大部分は電流バイパス回路の MOSFET および定電流素子が占めることがわかる。定電流素子の損失が列によって異なるのは通流時間の違いによるもので、通流開始電圧の高い列は通流時間が短く、損失も小さい。また MOSFET の順番による損失の差は、正弦波入力電圧の傾きに起因する。例えば、入力電圧が低く、傾きの大きい領域で動作する Q_1 は、傾きの小さい Q_4 よりも線形動作時間が短いため、損失が小さくなる。また、バイアス抵抗のゲート駆動電流による損失は、5 列と 10 列いずれの場合も 1 列あたり最大で 0.1%と小さい。回路全体の電力変換効率は、5 列構成で 88.3%、また 10 列構成では、線形動作領域の損失を低減できるため 91.6%となる。



(a) 5 列 4 段構成



(b) 10 列 9 段構成

図 5.7 シミュレーションによる各段の損失分離

5.3.2 計算による損失解析

図 5.8 に 1 列目の線形動作による損失発生箇所を、図 8 にシミュレーションで求めた損失の時間波形を示す。 n 段のバイパス回路を構成する MOSFET $Q_1 \sim Q_n$ のうち、任意の MOSFET Q_a の損失を求める。損失は線形領域の損失 P_{Qa_lin} と、MOSFET のオン抵抗による導通損失 P_{Qa_cond} に分離できる。 Q_a が線形動作する期間を $T_{a+1} - T_a$ とすると、 T_a は回路パラメータを用いて(5.2)式のように示すことができる。

$$t_a = \frac{1}{\omega} \sin^{-1} \frac{\sum_{x=0}^{a-1} V_{Fx}}{V_{in_max}} \dots\dots\dots (5.2)$$

ω は電源角周波数、 V_{in_max} は入力電圧最大値、 V_{Fx} は各段の LED 順方向電圧を表す。

図 5.8 の灰色部分は入力電圧と LED 順方向電圧の差分を示す。電流一定の条件より、この差分電圧に LED 列の電流 I_{str} を乗算することで、MOSFET の線形動作領域の損失となるため、この面積を電源周期で除算することで P_{Qa_lin} が得られる。

$$P_{Qa_linear} = 4f_{in} I_{str} \left(V_{in_max} \int_{T_a}^{T_{a+1}} \sin \omega t dt - (T_{a+1} - T_a) \sum_{x=0}^{a-1} V_{Fx} \right) \dots\dots\dots (5.3)$$

ただし、 f_{in} は電源周波数、1 項目は入力電圧の $T_a \sim T_{a+1}$ までの積分値、2 項目は導通している LED の順方向電圧の合計を示す。

MOSFET のオン抵抗 R_{on} による導通損失 P_{Qa_cond} は、各 MOSFET が通流する時間に比例するため(5.4)式となる。

$$P_{Qa_cond} = 4f_{in} R_{on} I_{str}^2 (T_{n+2} - T_a) \dots\dots\dots (5.4)$$

ただし、 T_{n+2} は図 5.8 の T_6 に相当し、入力電圧の頂点を示す。

一方、定電流回路の線形領域における損失 P_{CR_lin} は(5.5)式となる。(3)式の MOSFET とは積分範囲が異なり、 v_{rec} の波高値付近 $T_{n+1} \sim T_{n+2}$ となる。

$$P_{CR_linear} = 4f_{in} I_{str} \left(V_{in_max} \int_{T_{n+1}}^{T_{n+2}} \sin \omega t dt - (T_{n+2} - T_{n+1}) \sum_{x=0}^n V_{Fx} \right) \dots\dots\dots (5.5)$$

なお、(5.3)式と(5.5)式は積分範囲が異なっており、図 5.8 に示す通り、それぞれ別の領域の面積を計算している。さらに、定電流回路の導通損失は、CCR のオン電圧 V_{on} が印可電

圧によらず一定とすると, (5.6)式となる。

$$P_{CR_cond} = 4f_{V_{in}} I_{str} V_{on} (T_{n+2} - T_1) \dots\dots\dots (5.6)$$

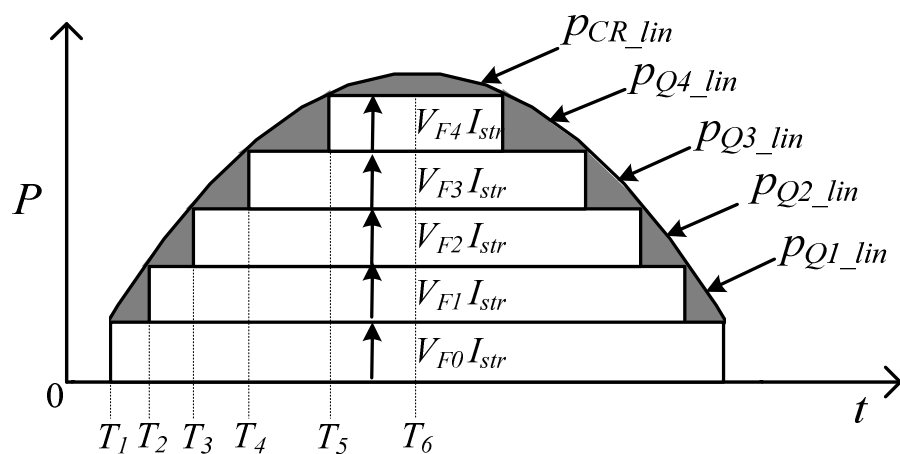


図 5.8 線形動作に伴う MOSFET と定電流素子の損失発生箇所

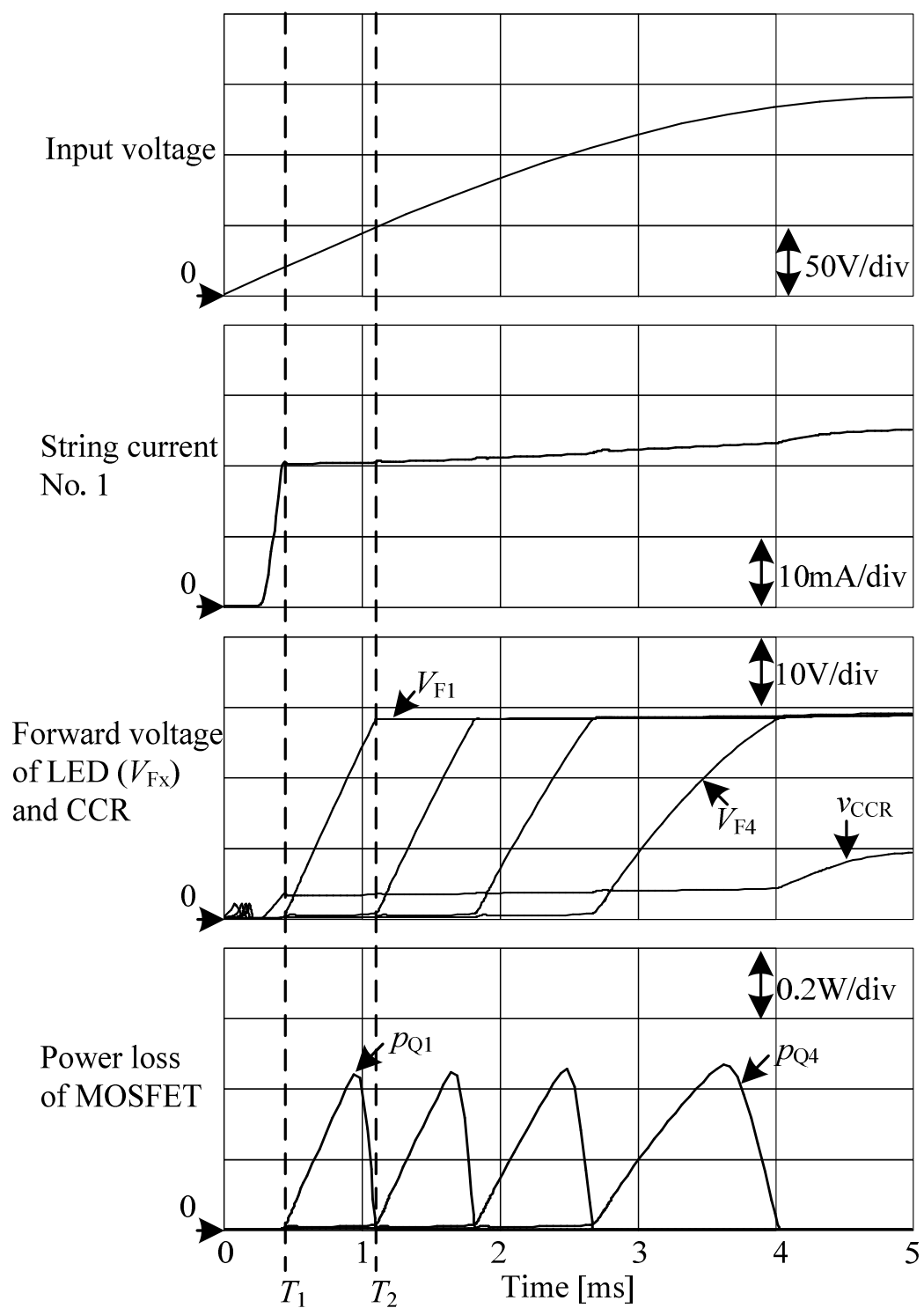


図 5.9 シミュレーション動作波形

図 5.10 に(5.3)~(5.6)式から求めた 1 列目の損失計算値と、シミュレーション値を比較する。計算では線形領域の損失と導通損失を分けて表示し、シミュレーションでは分離できないため、素子全体の消費電力を示す。結果より、定電流回路では線形領域よりも導通損失が大きいことがわかる。一方、MOSFET の導通損失は Q_1 で 0.07%と小さく、線形領域の損失が支配的となる。 Q_{1-4} の合計損失は、計算結果のほうがシミュレーションよりも 7.0%大きい。この誤差は、(5.3)式において MOSFET の線形動作領域の損失が入力電圧に比例し、MOSFET から並列の LED に電流が切り替わる際の過渡状態を無視している点に起因する。具体的には、図 8 の T_1 から T_2 の間では Q_1 が線形動作し、MOSFET の損失は V_{F1} に比例する。しかし、 V_{F1} が LED の定格電圧に近づくと、V-I 特性に従い LED 側に電流が分流する。これによって Q_1 の電流が減少し、 Q_1 の損失が V_{F1} の頂点よりも手前から低下するため、シミュレーション値が計算値よりも小さくなる。また、 Q_4 の誤差が Q_1 よりも少ないのは、CCR の電流レギュレーション特性により、入力電圧の高い領域で電流値が上昇し、損失が増加し誤差を相殺するためである。また、定電流回路の損失 P_{CR} は、計算値よりもシミュレーション値の方が 6.7%大きい。これも MOSFET の損失誤差と同様に、レギュレーション特性による電流増加に起因する。以上、これらの誤差は放熱設計に使用する上で問題のない範囲といえ、(5.3)~(5.6)式により損失を推定することで、素子選定や放熱設計が可能となる。

5.3.3 バイパス段数増加による損失低減

図 5.11 に、図 5.4 および図 5.10 に示した、5 列 4 段と 10 列 9 段バイパス構成の回路を用いて、各 MOSFET の損失を(5.3)~(5.6)式より計算した結果を示す。なお、図 5.10 のパラメータを表 5.3 に示す。5 列構成時の MOSFET 4 個分の損失を 100%とすると、10 列構成時には損失を 55%低減できる。したがって、バイパス段数を増加させることで MOSFET の線形動作時の損失を低減し、回路全体の効率を改善できる。

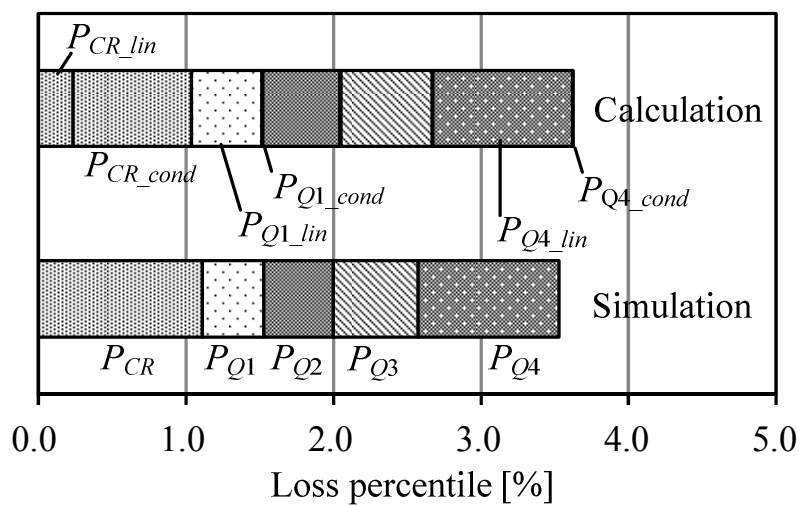


図 5.10 シミュレーションと近似計算による 1 列目損失の比較

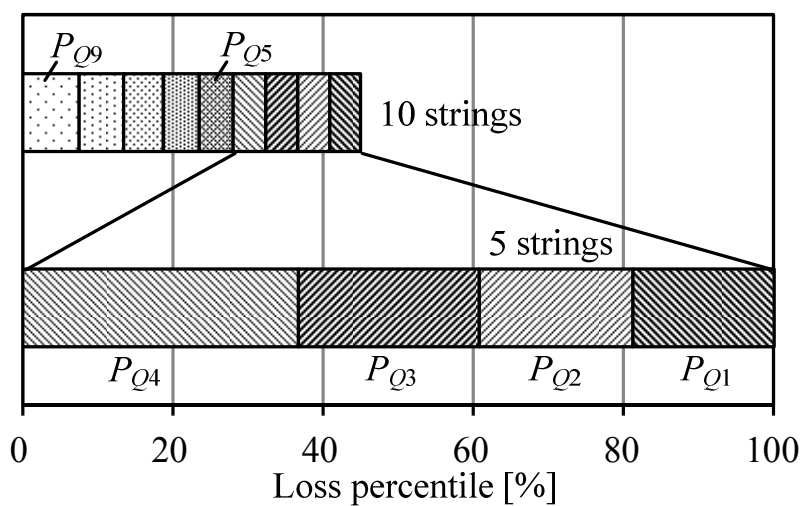


図 5.11 近似計算による 5 列 4 段と 10 列 9 段構成のバイパス回路損失比較

5.4 実験結果

5.4.1 5 列構成の動作検証と従来回路との比較

図 5.12 に 5 列構成の実機写真を示す。基板の大きさは横 160 mm, 縦 100 mm, 厚さ 1.6 mm の FR-4 片面基板を使用する。手前が 1 列目, 奥が 5 列目となる。提案回路は片面基板に全部品を実装できる。そのため大容量化の際にアルミニウム基板の採用や, ヒートシンクの裏面取り付けなど, 放熱設計の自由度が高い利点がある。

表 5.4 に 5 列実機, および同等の光束を有し, 降圧チョッパ回路を使用する市販 LED 電球の諸元を示す。市販品は, ダイオード整流器の直流側に電解コンデンサを付加することで電圧を平滑し, 降圧チョッパにより LED を定電流制御している⁽¹²⁾。提案回路の光束は図 6 に示す損失シミュレーション値から得られた変換効率 88.3%と, LED 素子の公称効率の代表値から推定している。

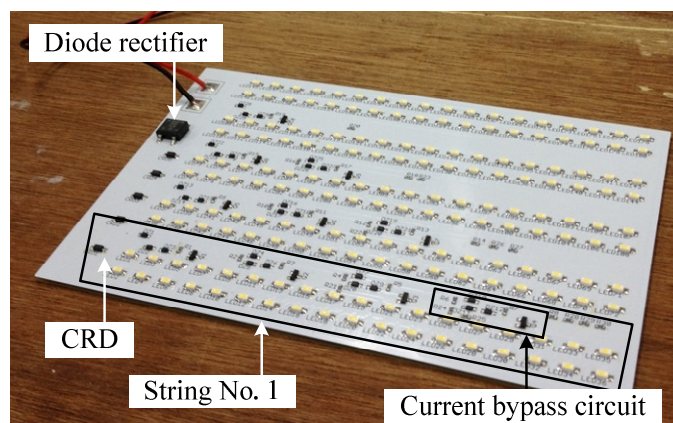


図 5.12 5 列実機の外観

表 5.4 5 列実機と市販品の仕様

	Proposed circuit (5 strings)	Step-down chopper (Sample product)
Input power [W]	7.8 W	11.0 W
Luminous flux [lm]	751	810
Power factor	0.995	0.79

図 5.13 に提案回路の入力電流波形を示す。電流は正弦波状に制御され、入力電流ひずみ率は 9.8%，入力力率は 0.995 と高い。また極性切り替わり付近のゼロ電流期間は、最も低電圧から点灯する LED 段の動作電圧に起因する。回路全体の消費電力は 8.0 W となり、シミュレーション値の 7.8 W と比較して 2.9%の誤差となる。CCR の電流値の公差が $\pm 15\%$ であることから、誤差は CCR のばらつきの範囲内であり、シミュレーションと実験結果の整合性が確認できる。

図 5.14 に降圧チョッパ回路を用いた市販品の電流波形を示す。入力電流最大値は 0.6 A であり、提案回路の 0.12 A と比較して 5 倍となり、両者の定格電力の差を考慮しても、ひずみが大きいと言える。

図 5.15 に提案回路の各 LED 列の電流波形を示す。点灯開始電圧が最も低い 1 列目が最初に導通し、続いて 2 列目、3 列目が導通する。電流値は CCR によって 20 mA 一定に制御されている。また上位の列では電流の立ち上がり・立下りの傾きが小さくなっている。これは入力電圧の傾きと LED の V-I 特性に起因する。また、正弦波の頂点付近で電流波形が凸状になっている原因は、CCR の電流レギュレーション特性による。ここで使用した CCR は電圧が印加されてから電流が定格値に整定するまでの応答時間が数秒必要であり、提案回路の駆動周波数 100 Hz では 1 割程度の電流オーバーシュートを生じる⁽²⁾。

図 5.16 に電源の雑音端子電圧測定結果を示す。測定には簡易シールドルームとスペクトラムアナライザ R3131A（アドバンテスト）、疑似電源回路網（LISN）を使用し、CISPR 11 Class A 相当の測定を実施する。図 15(a)の提案回路では、入力電流の高調波により生じる 150 kHz 近傍の低域成分を除くと、全帯域において暗ノイズと同等であり、伝導ノイズは観測されない。よって提案回路は伝導ノイズによる障害を発生させる恐れがほとんどないと言える。一方で(b)の降圧チョッパ回路では、規制値から 19 dB の余裕があるものの、全帯域に渡る伝導ノイズが観測されている。

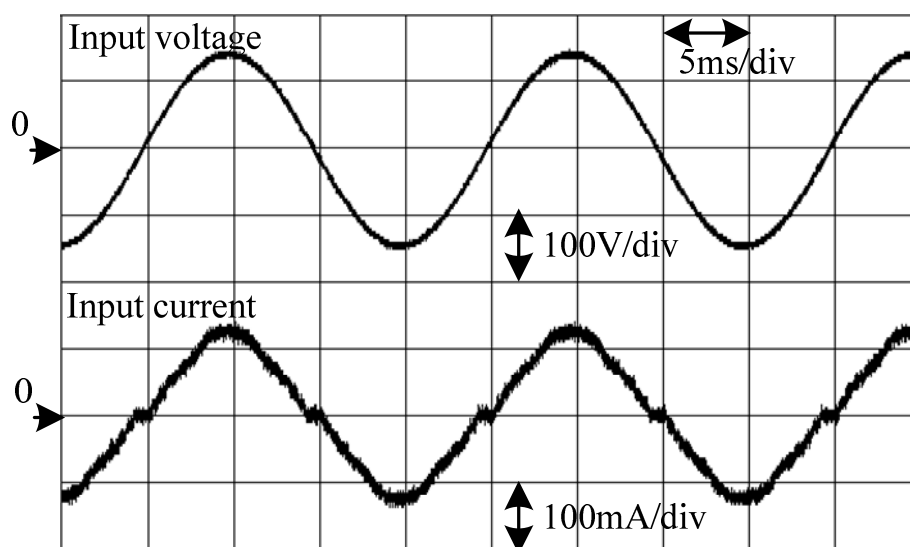


図 5.13 提案回路 5 列構成の入力電流波形

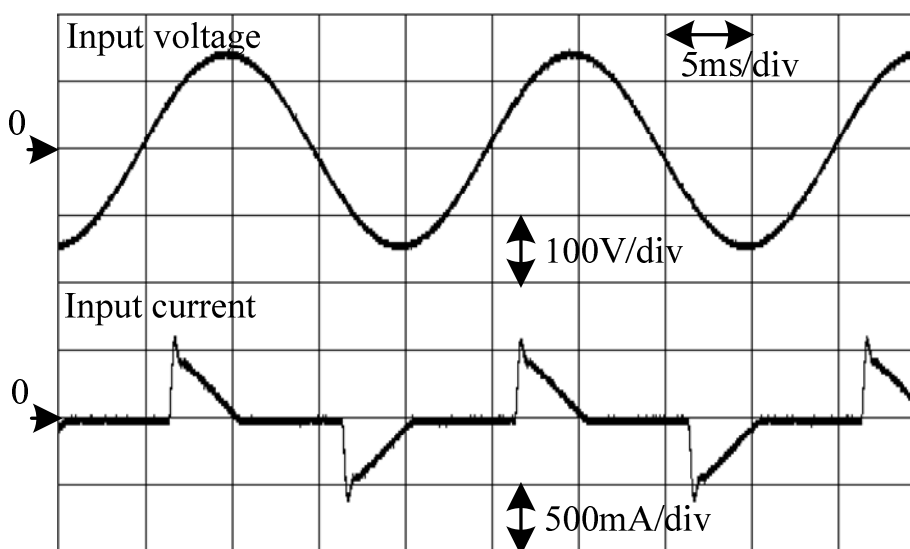


図 5.14 降圧チョッパ方式の入力電流波形

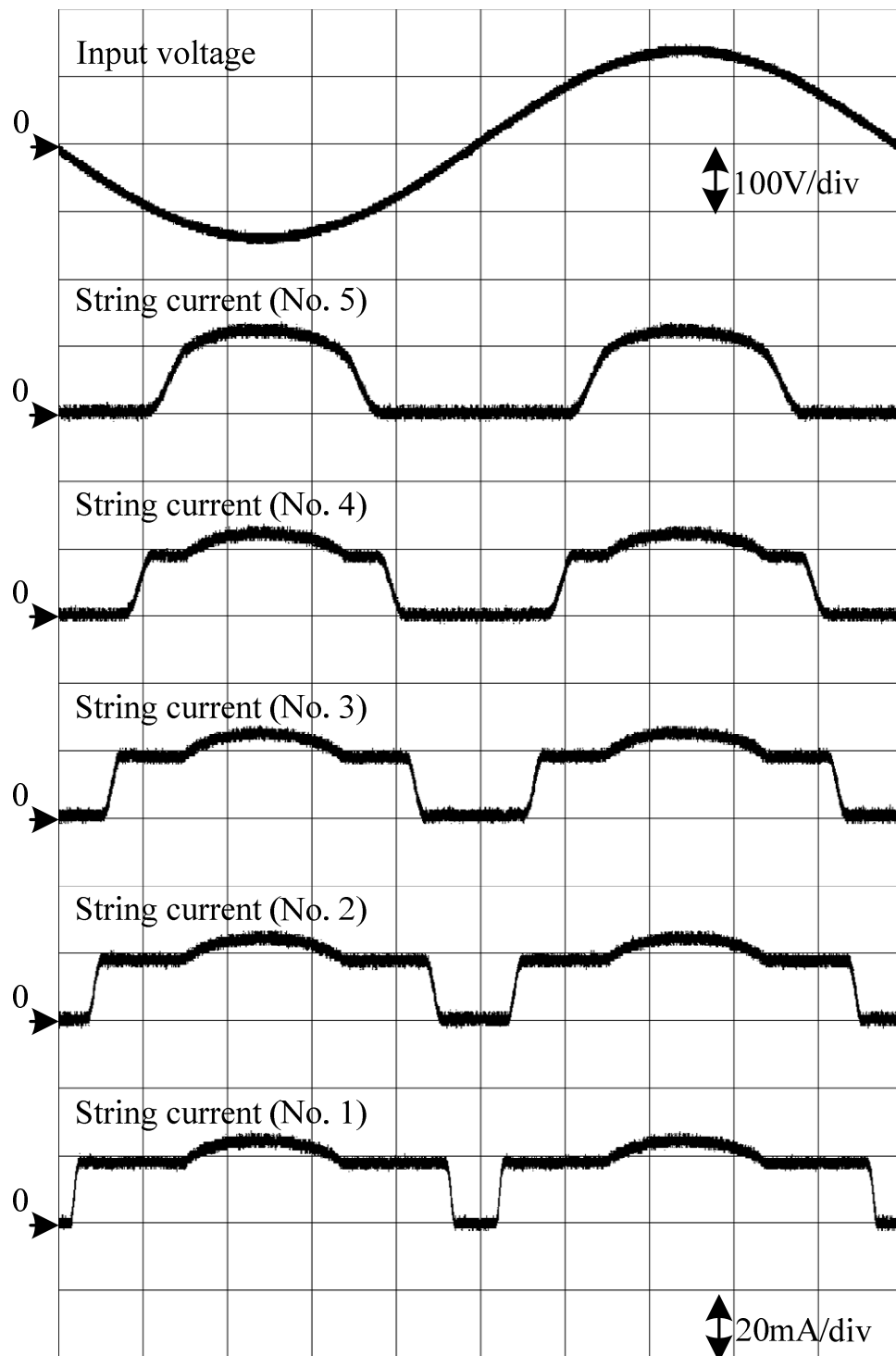
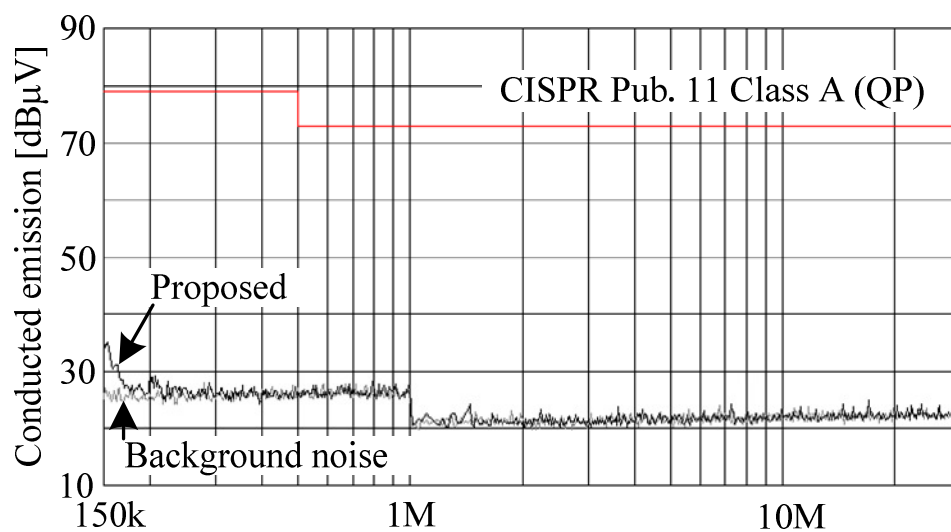
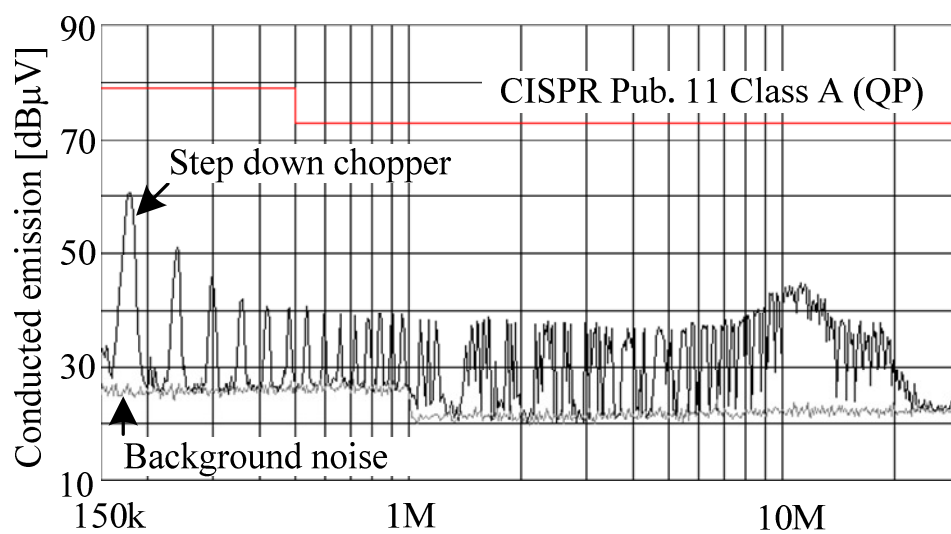


図 5.15 提案回路の各列電流波形



(a) 提案回路



(b) 降圧チョッパ方式

図 5.16 雑音端子電圧測定結果

次に、提案回路と降圧チョッパ回路の部品体積を比較する。これまでの実験で使用した降圧チョッパ回路の市販品は、提案回路と同等の光束が得られる。しかし、搭載されている LED 素子の効率が異なるため、電力変換器の出力電力も異なっている。そこで同じ出力電力で部品体積を比較するため、提案回路と同一の種類・数量の LED を使用する降圧チョッパ回路を設計する。なお、LED 照明器具の放熱設計では、駆動回路よりも LED 素子の発熱量が支配的となるため、提案回路と降圧チョッパ回路の効率差によるセット全体の放熱器体積の差は小さい。一方で、提案回路は LED と同一の基板に混載することで放熱器を共用し、大型のリアクトルやキャパシタを用いないことで筐体設計の自由度が向上すると考えられる。

図 5.17 に設計した降圧チョッパ回路の回路図、表 5 に回路パラメータを示す。制御 IC には SSL21081 (NXP Semiconductor) を使用し、推奨設計に基づいた部品選定とシミュレーションを行う⁽¹⁾⁽³⁾。

図 5.18 に回路部品の体積比較を示す。基板を除く回路部品の体積を累積したもので、提案回路は降圧チョッパ回路と比較して部品体積を約 80% 低減できる。制御器の体積は LED と受動部品を除いた半導体と抵抗を合計したもので、提案回路は専用 IC を使用する降圧チョッパ回路よりも大きい。これは単体の MOSFET と抵抗で構成されるためである。しかし、提案回路は降圧チョッパ回路に必要なノイズフィルタ、リアクトル、キャパシタの受動部品が不要となり、小型化に大きく貢献している。提案回路は LED の集積化、および制御回路の IC 化により、さらに小型化できる余地がある。

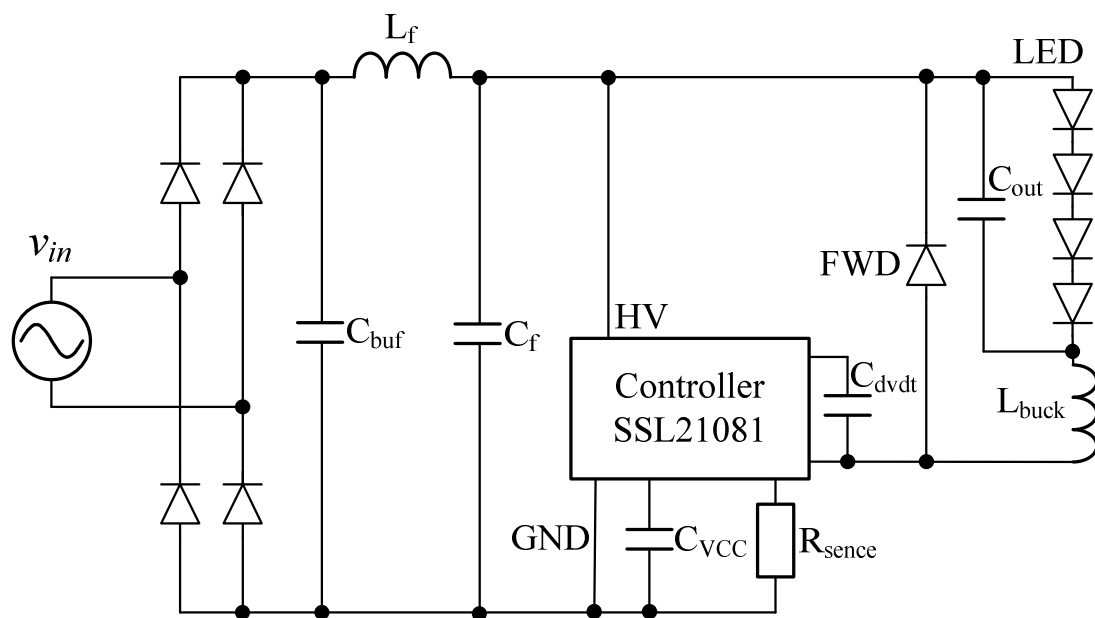


図 5.17 部品体積比較用の降圧チョッパ回路

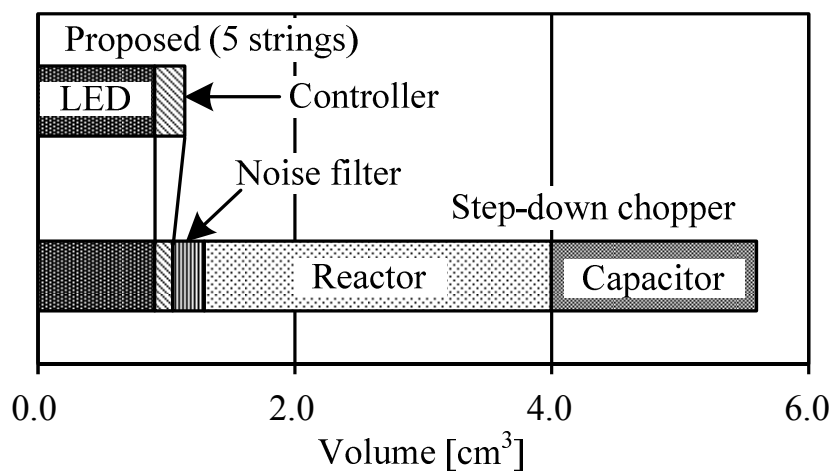


図 5.18 部品体積比較結果

表 5.5 部品体積比較用降圧チョッパ回路のパラメータ

LED	LUW_JNSH.EC (OSRAM) $V_F=3.1\text{ V}$, $I_F=20\text{ mA}$, 9-series, 20-parallel
Controller	SSL21081 (NXP Semiconductor)
Output power	6.9 W
Efficiency	90.5%
Switching frequency	60 kHz
Reactor	506 μH , TDK RM6 PC40, 45-turns.
Capacitors	C_{buf} : 10 μF , C_{out} : 3.3 μF , 200 V, KMG (Nippon Chemi-con) C_{dvdt} : 250 V 150 pF, C_{VCC} : 25 V 1 μF , C1608 (TDK)
Noise filter	L_f : 82 μH , 8RHB2 (TOKO), C_f : 250 V 0.22 μF , (Murata)

図 5.19 に電源周波数を変化させた場合の入力電流ひずみ率と力率を示す。50 Hz 入力時の力率 0.995 に対して、400 Hz 入力時では 0.991 とわずかに低下しているが、0.99 以上の高い力率を維持している。この力率低下要因は、ゲート駆動回路の周波数応答によるもので、電源周波数が高くなると各バイパス回路の電流立ち上がり・立下りが遅れることで力率が低下する。

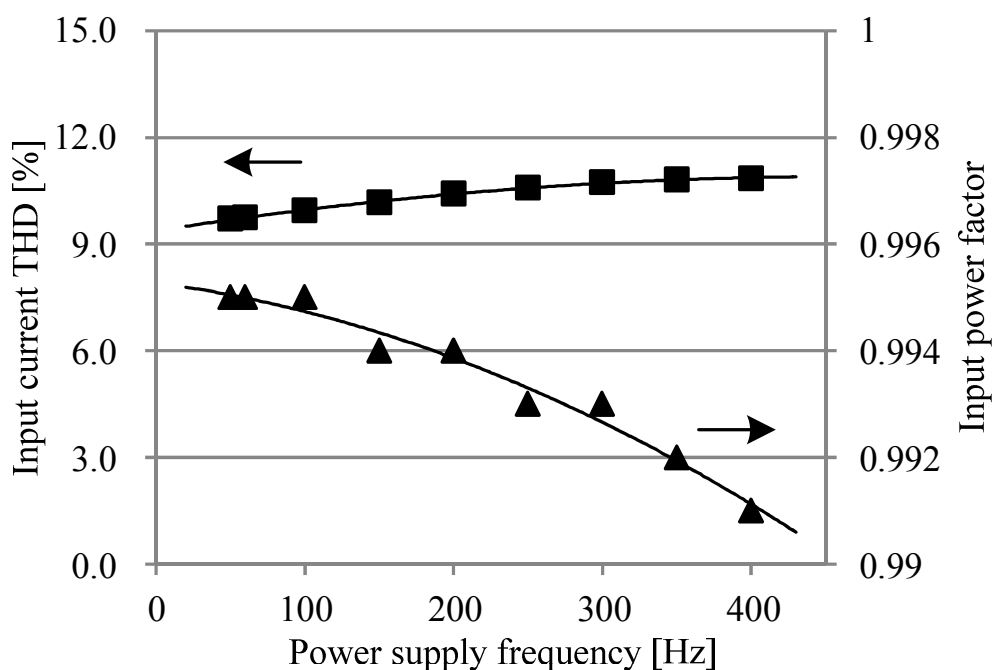


図 5.19 高周波電源適用時の入力電流ひずみ率と力率

5.4.2 10 列構成の動作検証

図 5.20 に 10 列構成時の実機写真を示す。5 列構成同様、全部品を片面基板に実装しており、左から順に 1 列目となる。

図 5.21 に 10 列構成の入力電流波形を示す。入力電流は 5 列構成よりも正弦波に近くなり、入力電流ひずみ率は 5.1%となる。また、5 列構成では頂点付近が凸となるのに対し、10 列構成では平坦となっている。この平坦な部分は、最も通流期間の短い 10 列目の通流期間と等しい。これは電流源をシリーズレギュレータに変更してレギュレーションが改善されたことで、正弦波の頂点付近における電流増加が抑制されたためである。

図 5.22 に 10 列構成時の各 LED 列の電流波形を示す。5 列の場合と同様に、通流開始電圧の低い列から通流し、電流振幅は 20 mA 一定となる。また電流源のレギュレーション改善により、正弦波頂点付近の電流増加は見られない。

図 5.23 に 1 列目各段の MOSFET 電圧 v_{ds} の測定結果を示す。1 列目に電流が通流すると同時に、 Q_1 の v_{ds} が上昇し始め、電流一定の状態で v_{ds} が変化する線形動作が実現している。また上位の MOSFET ほど電源電圧の傾きが小さく、線形動作期間が長いことがわかる。各 MOSFET の v_{ds} は並列接続される LED の順方向電圧でクランプされるため、100 V 入力、9 段バイパスの場合は最大 12.5 V に制限される。従って電源電圧の波高値よりも低い耐圧の素子を使用できる。また、定電流回路の印加電圧は最大 15 V となるが、この値は入力電圧変動の影響を直接受けるため、電源電圧が過電圧の状態を想定した耐圧が必要となる。

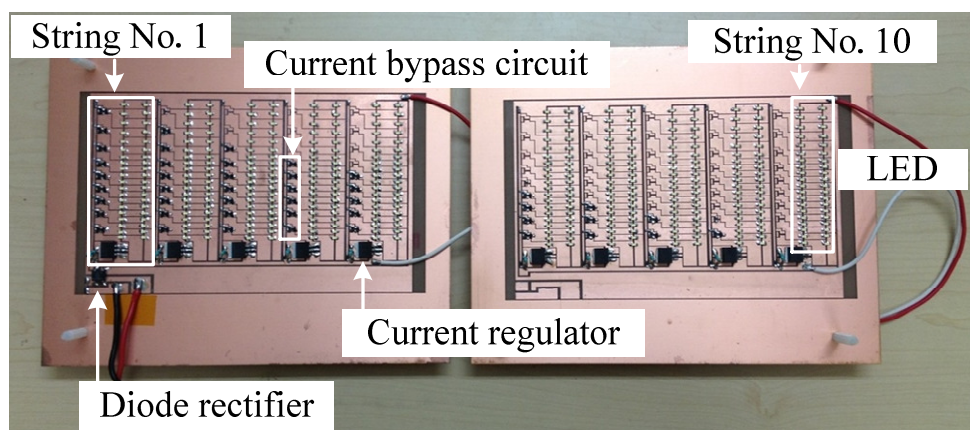


図 5.20 10 列構成の実機写真

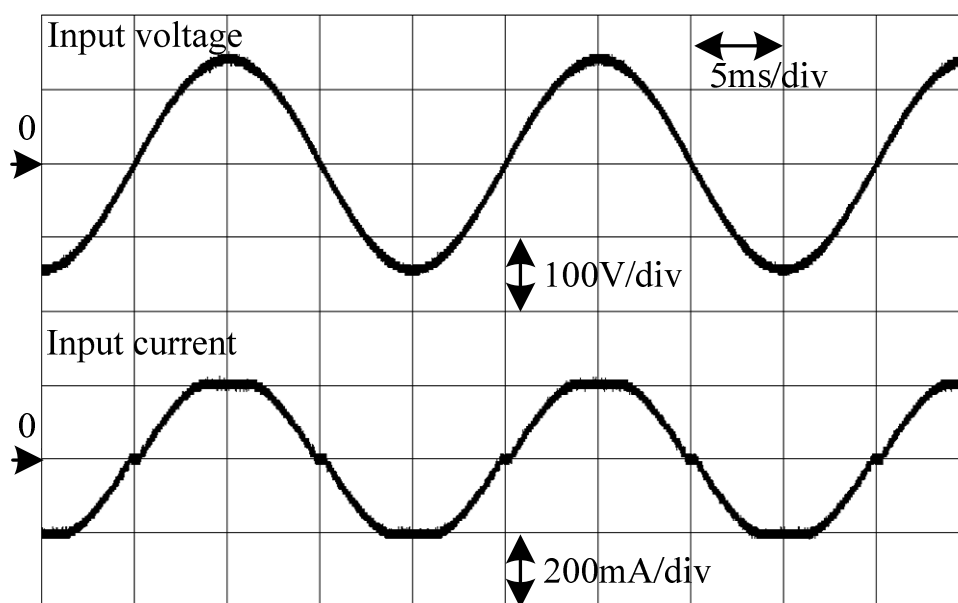


図 5.21 入力電流波形(10 列構成)

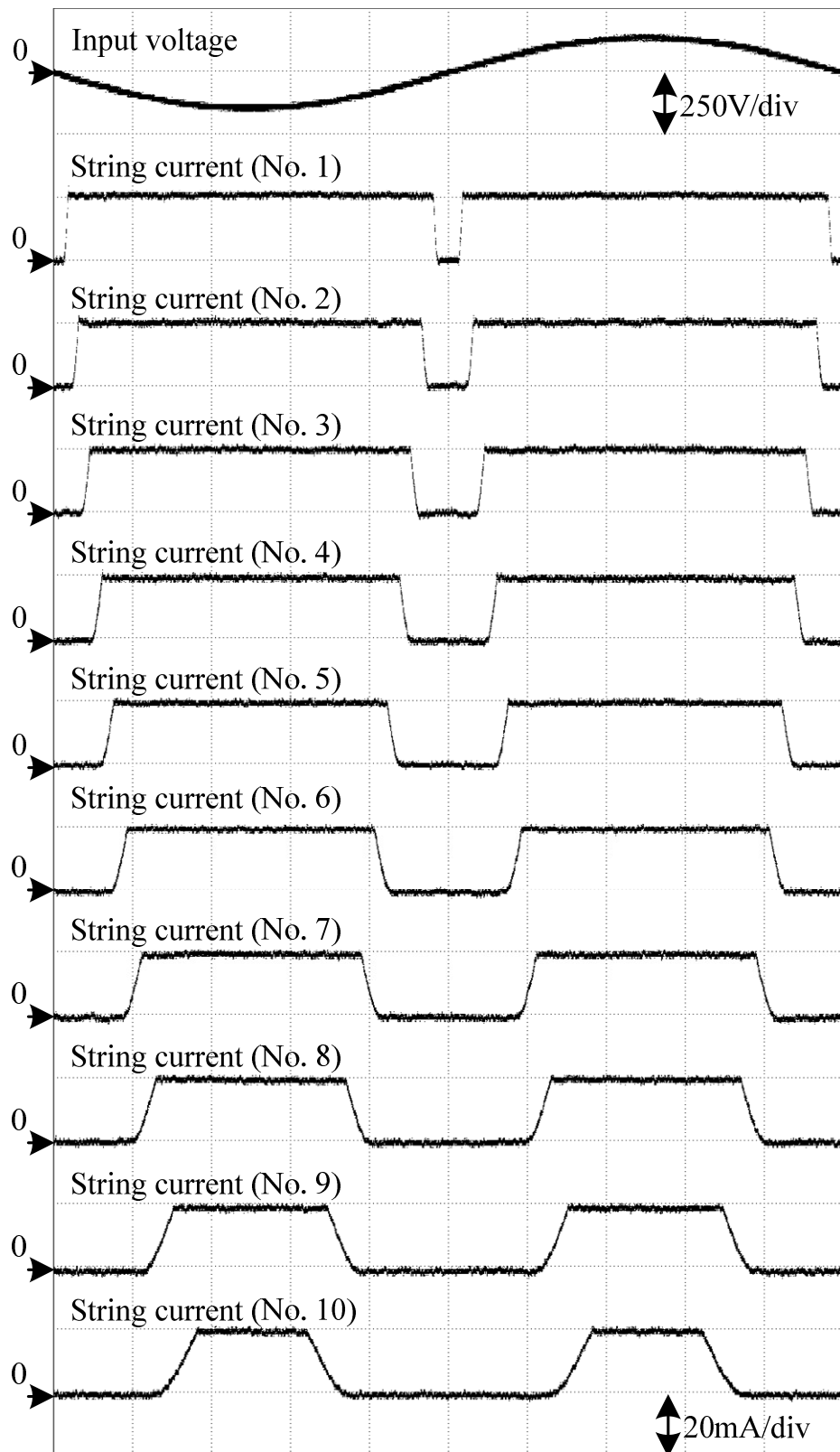


図 5.22 各列の電流波形(10 列構成)

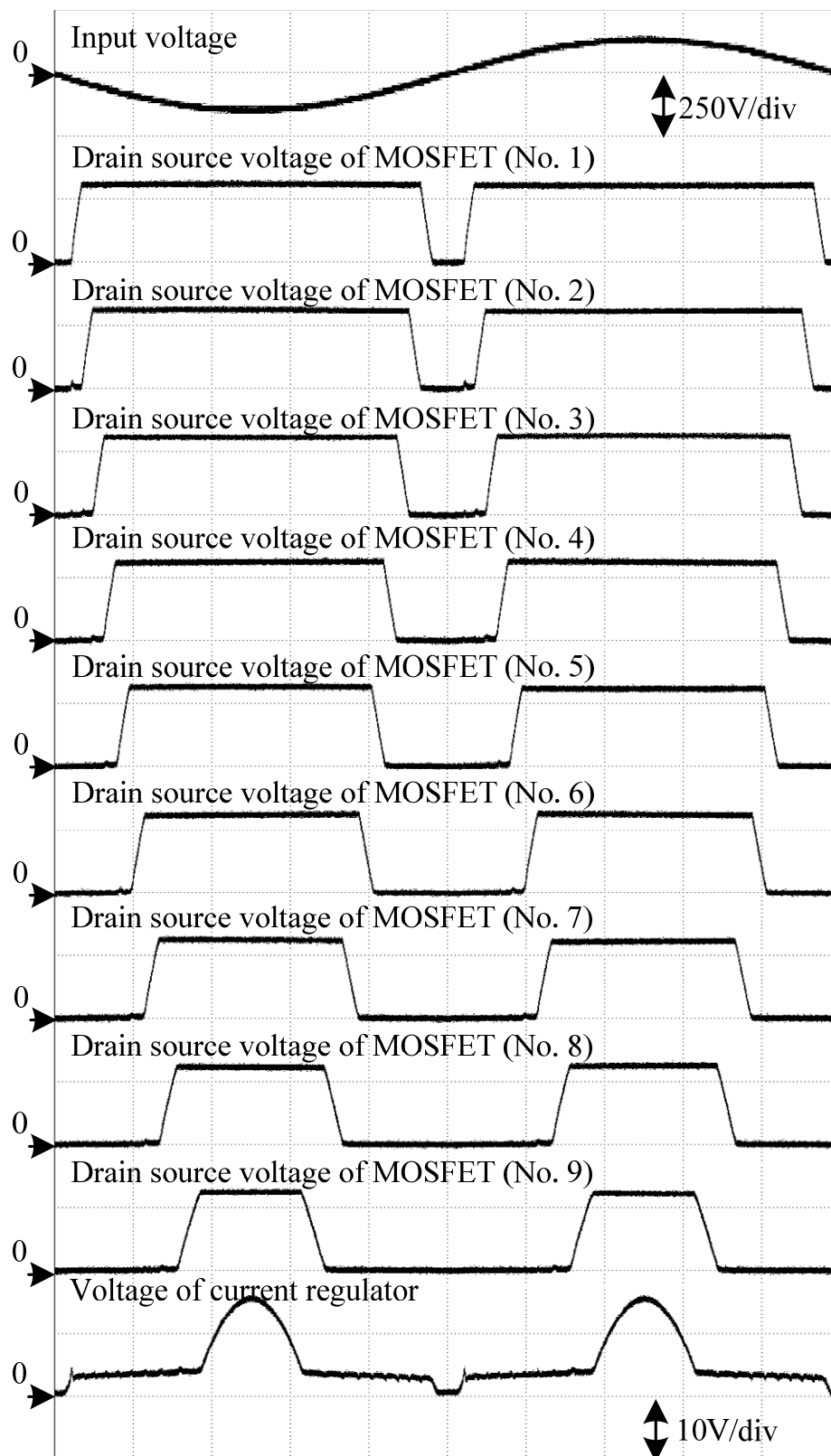


図 5.23 1 列目の各段印加電圧(10 列構成)

図 5.24 に 5 列と 10 列構成の入力電流高調波スペクトラムを示す。特に大きい成分は、5 列では 3 次 8.8%および 9 次 2.3%、10 列では 5 次 4.4%が含まれる。5 列の 3 次成分は電流波形の頂点凸部分、10 列の 5 次成分は頂点の平坦部分に起因すると考えている。

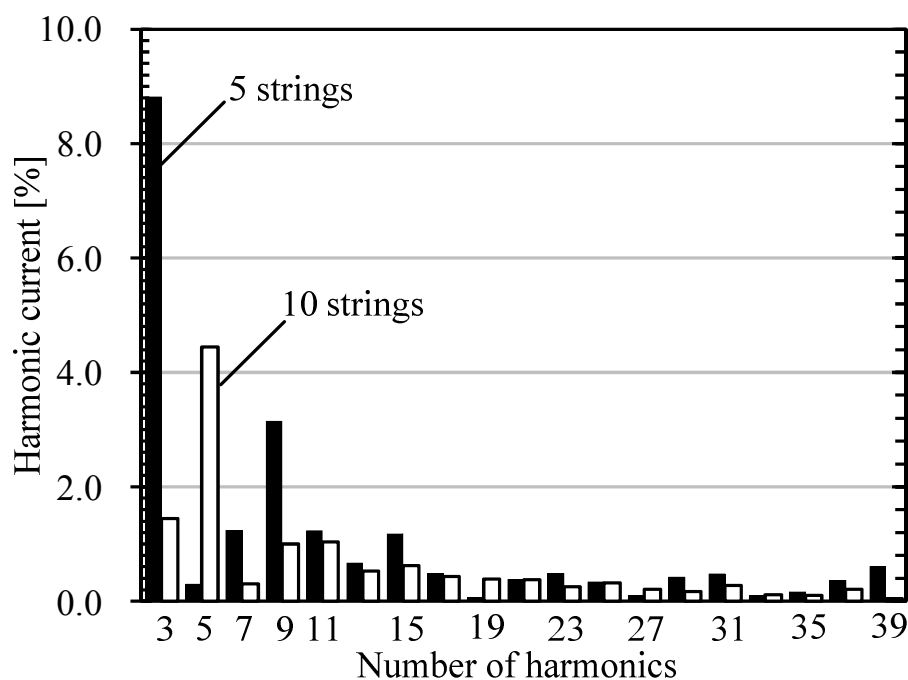


図 5.24 入力電流高調波スペクトラム

以上の結果より、5 列 4 段構成でも入力力率改善効果や小型化の効果は得られるが、電流バイパス段数が多い 10 列 9 段構成の方が入力電流ひずみ率が低く、変換効率も高いことを確認した。段数が多くなると LED の部品点数が増加するので、コストとのトレードオフはあるが、入力電流高調波と効率の点で高い性能を得られる。

5.5 結言

本章では、大型な受動部品と高周波スイッチング動作を用いずに、高力率かつ高効率な動作を実現する、交流 LED 駆動回路を示した。提案回路は非線形負荷である LED を抵抗負荷に近づけることで、高力率動作を実現する。また、電流バイパス回路を多段直列接続することで、線形動作領域の損失を低く抑えられる。シミュレーションによる損失解析の結果、10 列構成時に効率 91.6%が得られることを確認した。また効率的な設計作業を実現するため、回路パラメータを用いた損失の近似計算式を導出した。さらに、実験結果より入力力率 0.999, 入力電流ひずみ率 5.1%を確認した。

提案回路は部品点数が多いものの、大型の受動部品を使用しないため、降圧チョッパ回路を使用する市販品と比較して部品体積を 83%低減できる。さらに、電流バイパス回路に使用する MOSFET のゲート駆動回路が単純であり、素子耐圧も低いため、駆動回路の IC 化が可能と考えられる。従って、さらなる実装コスト低減と小型化が期待できる。

参考文献

- (1) “Compact non-dimmable LED driver IC SSL21081T,” NXP semiconductors inc. , 2013,
Available: [http://www.jp.nxp.com/documents/
data_sheet/SSL21081T.pdf](http://www.jp.nxp.com/documents/data_sheet/SSL21081T.pdf)
- (2) “Constant Current Regulator & LED Driver. NSI45020T1G,” ON semiconductor inc. , 2011,
Available: [http://www.onsemi.jp/pub_link/
Collateral/NSI45020-D.PDF](http://www.onsemi.jp/pub_link/Collateral/NSI45020-D.PDF)
- (3) “Buck converter for SSL applications AN10876,” NXP semiconductor inc. , 2011, Available:
[http://www.jp.nxp.com/documents/
application_note/AN10876.pdf](http://www.jp.nxp.com/documents/application_note/AN10876.pdf)
- (4) 國松崇, 川邊桂太, 石田敏文:「LED 照明駆動用 IPD の開発」, パナソニック技報, Vol.
58, No. 1, pp. 18-23 (2012)
- (5) “Sequential Linear LED Driver CL8800,” Supertex inc. , DSFP-CL8800, 2012, Available:
<http://www.supertex.com>
- (6) S. Lynch, B. Choy, K. C, “MULTIPLE STAGE SEQUENTIAL CURRENT REGULATOR”,
International Patent, WO 2012/142495 A1, 18 Oct. 2012.

第6章

結論

6.1 本研究の成果

本章では、高周波電源用途に向けたマルチレベル電力変換器について、本研究で得られた成果をまとめ、本研究の結論とする。

第2章では、スイッチング電力変換器、および線形増幅回路のそれぞれについて、高周波電源システムに対応したマルチレベル構成を適用した際の利点についてまとめた。

第3章では、スイッチ数を削減した三相5レベル整流器を提案した。また提案回路について、受動素子の設計法を示し、実験による動作確認を行った。また、レベル数の異なる変換器との受動部品体積の比較を行った。さらに、EMCフィルタの体積についても3レベル変換器との違いについて考察した。

- (1) 定格 1kW の試作機を製作して実験を行い、電流ひずみ率 3.4% の良好な入力電流波形を得た。
- (2) 0.25kW～1.5kW の測定範囲において、力率 0.97 以上、効率 97% 以上の結果が得られ、最高効率 97.6% (0.5kW) が得られた。
- (3) 2レベル、3レベル回路と受動部品体積を比較し、それぞれパワー密度を 3.6 倍および 1.8 倍に向上できることを確認した。
- (4) EMC フィルタの体積を 3レベル Vienna 整流器と比較し、コモンモードリアクトルを 74%、ノーマルモードリアクトルを 41% 小型化できることを確認した。

以上の結果より、提案する 5レベル PWM 整流器は、従来の 3レベルや 2レベルの PWM

整流器と比較し、より小さい受動部品を使用できることから、パワー密度の向上と小型化に有利である。

第4章では、航空機電源などの高周波電源を対象とした PFC 整流器として、3章で提案したスイッチ数を削減した 5 レベル PWM 整流器を適用し、高周波電源下における波形改善手法の提案を行った。また、対象とする電源システムで想定される負荷変動、電源変動を考慮した動作確認を行った。

- (1) 連系リアクトル電圧の影響を補償し、実験により 400 Hz における入力電流全高調波ひずみ率を 6.5%から 3.3%に 45%低減した。
- (2) スイッチングパターンの非同期極性切り替えを行うことで、電源周波数 800 Hz における入力電流ビート成分を 1/9 に低減した。
- (3) 同期 PWM 制御によりビート成分とビートの高調波成分が低減し、電源周波数 800 Hz において、非論理高調波成分を考慮した入力電流ひずみ率を 51%低減した。
- (4) 直流負荷変動、400~800 Hz の範囲における電源周波数・電圧変動に対して、安定動作することを確認した。
- (5) 損失分離結果より、連系リアクトルの鉄損が支配的であり、高周波特性の良いコア材料の適用による効率改善の余地がある。

第5章では、大型な受動部品と高周波スイッチング動作を用いずに、高力率かつ高効率な動作を実現する、交流 LED 駆動回路を示した。提案回路は非線形負荷である LED を抵抗負荷に近づけることで、高力率動作を実現する。また、電流バイパス回路を多段直列接続することで、線形動作領域の損失を低く抑えられる。シミュレーションおよび実験から、以下の結果を得た。

- (1) シミュレーションによる損失解析の結果、10 列構成時に効率 91.6%が得られることを確認した。
- (2) 効率的な設計作業を実現するため、回路パラメータを用いた損失の近似計算式を導出した。
- (3) 実験結果より 5 列 4 段構成時に入力力率 0.995, 入力電流ひずみ率 9.8%を確認した。
また 10 列 9 段構成時に入力力率 0.999, 入力電流ひずみ率 5.1%を確認した。
- (4) 受動部品を使用しないため、降圧チョッパ回路を使用する市販品と比較して部品体

積を 83%低減できる。

以上のように、本研究では、航空機や船舶に使用される高周波電源システムに連系する電力変換器を小型軽量化するため、半導体の特性、および受動部品の特性を活用した回路方式を提案した。はじめに、従来の高周波電源システムにおける電源高調波の問題、および受動部品体積の問題を示した。次に、小容量の直流負荷に電源を供給する AC-DC 変換器として、スイッチ数を低減した 5 レベル PWM 整流器を提案し、まず商用系統を用いた動作検証を実施した。3 レベル PWM 整流器との受動部品体積比較を行い、リアクトル、キャパシタ、および EMC フィルタのいずれも小型化できることを確認した。次に、高周波電源に適用するための制御法を提案し、400~800 Hz の高周波電源下において動作することを確認した。また、LED 照明器具の電源回路を高力率・小型・長寿命化する手法として、受動部品を全く使用せず、半導体と抵抗のみで構成された LED 駆動回路を提案し、高い入力力率、およびスイッチング電力変換を行う従来回路と同等の効率を実現できることを確認した。

高周波電源に連系する電力変換器を小型・高力率・長寿命化することで、航空機や船舶のエネルギー効率向上に貢献できる。

6.2 今後の課題

AC-DC 変換器と交流 LED 駆動回路のいずれも、環境電源装置を用いた実機検証を行っているが、実際の航空機や船舶の電源系統に接続した場合の動作は未検証である。したがって、AC-DC 変換器においては、電流・電圧制御系の周波数応答を検討する必要がある。また交流 LED 駆動回路については、IC 化による実装部品点数の削減、および LED の負荷分担の均一化が課題である。また、高周波点灯によるちらつきの軽減効果について、人体工学に基づく検証が必要である。

謝辞

本研究を進めるにあたり、直接ご指導を賜りました長岡技術科学大学 伊東淳一准教授に心から感謝し熱く御礼申し上げます。また、学部時代にご指導賜りました長岡技術科学大学 近藤正示教授、学外より学位審査に携わっていただいた東京工業大学 藤田英明准教授、日頃から有益な御意見を頂きました長岡技術科学大学 大石潔教授、宮崎敏昌准教授、芳賀仁助教、横倉勇希助教、齋藤和夫助教、高野三郎技術職員、押味洸技術職員、静岡大学 野口敏彦教授、慶應義塾大学 桂誠一郎准教授、香川高等専門学校 漆原史朗准教授、苫小牧工業高等専門学校 佐沢政樹助教にも心よりお礼申し上げます。

学生生活において昼夜を問わず苦楽を分かちあい、研究活動において有益な御助言と御協力を頂いたパワー研究生及び卒業生諸氏に感謝いたします。中でも、論文の共著者である安達健人氏には、多くの技術的知見をご教授いただきました。また、博士の先輩として多くの御指導をいただきました星野哲馬氏、加藤康司氏、春名順之介氏、Goh Teck Chiang氏、大沼喜也氏、折川幸司氏、宮脇慧氏、また修士課程を共にした皆様と、博士課程においてもお世話になりました檜原有吾氏に心より感謝し御礼申し上げます。

最後に、大学で学ぶ機会を与えていただき、学業に専念できるよう御理解と御協力をいただいた両親、祖父母と妹に心から感謝し、また大学生活を豊かなものにしてくれた友人たちに、心から感謝申し上げます。

論文目録

学術論文

- (1) Jun-ichi Itoh, **Yuichi Noge**, Taketo Adachi: “A Novel Five-Level Three-Phase PWM Rectifier With Reduced Switch Count”, IEEE Transactions on Power Electronics, Vol. 26, No. 8, pp. 2221-2228 (2011)
- (2) 野下 裕市, 伊東 淳一: 「12 スイッチで構成する 5 レベル PWM 整流器の高周波電源下での動作検証」電気学会論文誌D (産業応用部門誌) Vol. 132, No. 1, pp. 35-41 (2012)
- (3) 野下 裕市, 伊東 淳一: 「線形動作する電流バイパス回路を多段直列接続した高力率 LED 駆動回路」電気学会論文誌D (産業応用部門誌) Vol. 134, No. 5 (2014) (公表予定)

国際会議口頭発表論文

- (1) Jun-ichi Itoh, **Yuichi Noge**, Taketo Adachi: “A novel five-level three-phase PWM rectifier using 12 switches”, IEEE Energy Conversion Congress and Exposition (ECCE 2009), pp. 3100-3107 (2009)
- (2) Jun-ichi Itoh, **Yuichi Noge**: “Evaluation of power density of a reduced switch count five-level three-phase PWM rectifier for aircraft applications”, 6th International Conference on Integrated Power Electronics Systems (CIPS 2010), pp. 1-6 (2010)
- (3) **Yuichi Noge**, Jun-ichi Itoh: “Multi-level inverter with H-bridge clamp circuit for single-phase three-wire grid connection suitable for Super-junction/SiC MOSFET”, 7th International Power Electronics and Motion Control Conference (IPEMC), Vol. 1, pp. 88-93 (2013)
- (4) **Yuichi Noge**, Jun-ichi Itoh: “Linear PFC regulator for LED lighting with the multi-level

structure and low voltage MOSFETs”, Applied Power Electronics Conference and Exposition (APEC 2014), Paper ID: 1772 (2014) (公表予定)

国内学会口頭発表論文

- (1) 野下 裕市, 伊東 淳一: 「航空機電源用簡易型 5 レベル PWM 整流器の一検討」, 平成 21 年電気学会産業応用部門大会, pp.I-40-I-43 (2009)
- (2) 野下 裕市, 伊東 淳一: 「航空機電源用簡易型 5 レベル PWM 整流器の基礎検証」, 電気学会半導体電力変換リニアドライブ合同研究会 SPC-09-181 LD-09-071 (2009)
- (3) 野下 裕市, 伊東 淳一: 「12 スイッチ 5 レベル PWM 整流器の高周波電源下での動作検証」, 電気学会半導体電力変換研究会 SPC-10-105 (2010)
- (4) 野下 裕市, 伊東 淳一: 「航空機電源用 12 スイッチ 5 レベル PWM 整流器の波形改善」, 平成 22 年度 電気学会産業応用部門大会 1-61 (2010)
- (5) 野下 裕市, 伊東 淳一: 「簡易型 5 レベル PWM 整流器の極性切り替え制御」, 平成 23 年度 電気学会全国大会 B307-A2 4-082 (2010)
- (6) 野下 裕市, 伊東 淳一: 「12 スイッチで構成する 5 レベル PWM 整流器における同期 PWM 制御の適用」, JIASC, No. 1-34 (2011)
- (7) 野下 裕市, 伊東 淳一: 「H ブリッジクランプ回路を用いた単相 3 線式系統連系用マルチレベル回路」, 全国大会, No. 4, pp. 71-72 (2012)
- (8) 野下 裕市, 伊東 淳一: 「3 レベルと 5 レベル PWM 整流器を用いた EMC フィルタ設計の比較検討」, 電気学会半導体電力変換自動車家電・民生合同研究会, SPC-12-171, VT-12-022, HCA-12-057 (2012)
- (9) 野下 裕市, 伊東 淳一: 「線形動作する電流バイパス回路を多段直列接続した高力率 LED 駆動回路の動作検証」, 電気学会半導体電力/モータドライブ合同変換研究会(2013)
- (10) 野下 裕市, 伊東 淳一: 「高力率 LED 駆動回路による LED と駆動回路の GaN 基板上への混載方法」, 平成 25 年度電気関係学会東北支部連合大会, 1C08 (2013)

参考論文

- (1) 佐藤 大介, 野下 裕市, 伊東 淳一: 「高効率制御を併用した位相制御によるトルク制御

- 法」, 電気関係学会北陸支部連合大会, Vol. , No. A67, pp. (2011)
- (2) 渋谷 貴之, **野下 裕市**, 伊東 淳一: 「昇圧チョッパにおけるデッドビート制御による電流応答限界に関する考察」, 電気関係学会北陸支部連合大会, Vol. , No. A64, pp. (2011)
- (3) 唐木 隆行, **野下 裕市**, 伊東 淳一: 「Hブリッジランプ回路を用いた単相三線式系統連系用マルチレベル回路の動作検証」, 平成 24 年電気学会産業応用部門大会, Vol. , No. 1-22, pp. (2012)
- (4) 長野 剛, 中島 雄希, **野下 裕市**, 伊東 淳一: 「永久磁石同期電動機の複数台並列駆動システムの一手法」, 平成 24 年電気学会産業応用部門大会, Vol. , No. 3-31, pp. (2012)
- (5) HUYNH DANG MINH, **野下 裕市**, 伊東 淳一: 「V 結線 3 レベル PWM 整流器を用いた雑音端子電圧低減手法の実験検討」, 第 22 回電気学会東京支部新潟支所研究発表会, Vol. , No. III-14, pp. 44 (2012)
- (6) 米田 一己, **野下 裕市**, 伊東 淳一: 「結合リアクトルを用いた一石降圧型コンバータの回生スナバ動作の検討」, 平成 25 年度電気関係学会北陸支部連合大会, Vol. , No. A3-21, pp. (2013)
- (7) HUYNH DANG MINH, 荒木 隆宏, 佐藤 大介, **野下 裕市**, 伊東 淳一: 「三相 3 レベル V 結線 PWM 整流器および整流器・インバータシステムの雑音端子電圧の比較検討」, 平成 25 年度電気関係学会東京支部新潟支所大会, Vol. , No. IV-05, pp. 54 (2013)